



1

・【特許請求の範囲】

・【請求項1】 下部電極、上部電極及び前記下部電極と前記上部電極間に挿入されたキャパシタ誘電膜を含むキャパシタ、及び前記キャパシタの全表面を包み少なくとも2個の相異なる絶縁物質からなった物質膜を含む多重カプセル化膜、

前記多重カプセル化膜上に形成された絶縁膜、及び前記多重カプセル化膜及び前記絶縁膜を貫通して前記上部電極をコンタクトするメタルコンタクトを含むことを特徴とする半導体メモリ素子。

・【請求項2】 前記多重カプセル化膜は、少なくともブロックキング膜とキャパシタ保護膜とを含むが、前記ブロックキング膜が前記キャパシタ保護膜の下部に備わって前記ブロックキング膜と前記キャパシタ保護膜とは相異なる物質からなったことを特徴とする請求項1に記載の半導体メモリ素子。

・【請求項3】 前記多重カプセル化膜は2重膜であり、前記ブロックキング膜は前記メタルコンタクトが前記上部電極をコンタクトする部分を除いてキャパシタの全表面を包む絶縁膜であり、前記キャパシタ保護膜は前記ブロックキング膜の全表面を包む絶縁膜であることを特徴とする請求項2に記載の半導体メモリ素子。

・【請求項4】 前記ブロックキング膜は、前記ブロックキング膜の下部に形成された物質膜と前記キャパシタ保護膜間の反応を防止できる物質からなって、前記キャパシタ保護膜は、前記絶縁膜内に封入された水素がキャパシタ誘電膜に浸透することを防止できる物質からなったことを特徴とする請求項2に記載の半導体メモリ素子。

・【請求項5】 前記ブロックキング膜は、前記キャパシタ誘電膜の揮発を防止できる物質からなって、前記キャパシタ保護膜は、前記絶縁膜内に封入された水素がキャパシタ誘電膜に浸透することを防止できる物質からなったことを特徴とする請求項2に記載の半導体メモリ素子。

・【請求項6】 前記ブロックキング膜は、前記キャパシタ誘電膜の揮発を防止して、前記ブロックキング膜の下部に形成された物質膜と前記キャパシタ保護膜間の反応を防止できる物質からなって、前記キャパシタ保護膜は、前記絶縁膜内に封入された水素がキャパシタ誘電膜に浸透することを防止できる物質からなったことを特徴とする請求項2に記載の半導体メモリ素子。

・【請求項7】 前記ブロックキング膜は、400℃ないし600℃の間の温度及び酸素雰囲気下で熱処理された安定化物質膜であることを特徴とする請求項2に記載の半導体メモリ素子。

・【請求項8】 前記キャパシタ保護膜は、原子層蒸着方法によって形成されたALD-物質膜であることを特徴とする請求項2に記載の半導体メモリ素子。

2

・【請求項9】 前記ブロックキング膜と前記キャパシタ保護膜の各々の膜の厚さは50Åないし1500Åの間であることを特徴とする請求項2に記載の半導体メモリ素子。

・【請求項10】 前記ブロックキング膜は、TiO<sub>2</sub>膜、Ta<sub>2</sub>O<sub>5</sub>膜、BaTiO<sub>3</sub>膜、SrTiO<sub>3</sub>膜、Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>膜またはPbTiO<sub>3</sub>膜からなったことを特徴とする請求項2に記載の半導体メモリ素子。

・【請求項11】 前記キャパシタ保護膜は、Al<sub>2</sub>O<sub>3</sub>、TiO<sub>2</sub>膜、Ta<sub>2</sub>O<sub>5</sub>膜、BaTiO<sub>3</sub>膜、SrTiO<sub>3</sub>膜、Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>膜またはPbTiO<sub>3</sub>膜であるが、前記ブロックキング膜をなす物質とは異なる物質からなったことを特徴とする請求項2に記載の半導体メモリ素子。

・【請求項12】 前記メタルコンタクト及び前記絶縁膜上に形成されたパッシベーション膜をさらに含むことを特徴とする請求項1に記載の半導体メモリ素子。

・【請求項13】 前記メタルコンタクトと前記パッシベーション膜間に介在された水素浸透防止膜をさらに含むことを特徴とする請求項12に記載の半導体メモリ素子。

・【請求項14】 前記水素浸透防止膜は、金属酸化物膜であることを特徴とする請求項13に記載の半導体メモリ素子。

・【請求項15】 前記水素浸透防止膜は、原子層蒸着方法によって形成されたALD-物質膜であることを特徴とする請求項13に記載の半導体メモリ素子。

・【請求項16】 前記水素浸透防止膜は、Al<sub>2</sub>O<sub>3</sub>膜、TiO<sub>2</sub>膜、Ta<sub>2</sub>O<sub>5</sub>膜、BaTiO<sub>3</sub>膜、SrTiO<sub>3</sub>膜、Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>膜またはPbTiO<sub>3</sub>膜であることを特徴とする請求項13に記載の半導体メモリ素子。

・【請求項17】 前記水素浸透防止膜は、400℃ないし600℃の間及び酸素雰囲気下で熱処理された安定化物質膜であることを特徴とする請求項13に記載の半導体メモリ素子。

・【請求項18】 前記メタルコンタクトと前記水素浸透防止膜間に介在された緩衝膜をさらに含むことを特徴とする請求項13に記載の半導体メモリ素子。

・【請求項19】 前記キャパシタ下部電極がコバルトシリサイド膜からなったことを特徴とする請求項1に記載の半導体メモリ素子。

・【請求項20】 前記キャパシタ下部に形成された層間絶縁膜、及び前記層間絶縁膜内に備わって前記キャパシタ下部電極と電気的に連結される導電性プラグをさらに含む、

前記キャパシタ下部電極と前記導電性プラグ間にコバルトシリサイド膜が含まれた界面膜を含むことを特徴とする請求項1に記載の半導体メモリ素子。

・【請求項21】 前記キャパシタ下部に形成された層間絶縁膜、及び前記層間絶縁膜内に備わって前記キャパシ

タ下部電極と電氣的に連結される導電性プラグをさらに含み、

前記導電性プラグは、コバルトシリサイド膜のみでなったり、導電膜とコバルトシリサイド膜とが順次的に積層された2重膜からなったことを特徴とする請求項1に記載の半導体メモリ素子。

・【請求項22】 下部電極、上部電極及び前記下部電極と前記上部電極間に挿入されたキャパシタ誘電膜を含むキャパシタ、及び前記キャパシタの全表面を包み少なくとも異なる絶縁物質からなったブロックキング膜とキャパシタ保護膜とを有した多重カプセル化膜を含むが、前記ブロックキング膜は、前記キャパシタ保護膜下部に備わることとする半導体メモリ素子。

・【請求項23】 下部電極、上部電極及び前記下部電極と前記上部電極間に挿入されたキャパシタ誘電膜を含むキャパシタ、前記キャパシタ上に形成された絶縁膜、前記絶縁膜を貫通して前記上部電極とコンタクトするメタルコンタクト及び前記メタルコンタクト上に形成されたパッシベーション膜及び前記メタルコンタクトと前記パッシベーション膜間に介在された水素浸透防止膜を含むことを特徴とする半導体メモリ素子。

・【請求項24】 前記水素浸透防止膜は、 $Al_2O_3$ 膜、 $TiO_2$ 膜、 $Ta_2O_5$ 膜、 $BaTiO_3$ 膜、 $SrTiO_3$ 膜、 $Bi_4Ti_3O_{12}$ 膜または $PbTiO_3$ 膜であることを特徴とする請求項23に記載の半導体メモリ素子。

・【請求項25】 前記水素浸透防止膜は、ALD-物質膜であることを特徴とする請求項23に記載の半導体メモリ素子。

・【請求項26】 下部電極、上部電極及び前記下部電極と前記上部電極間に挿入されるキャパシタ誘電膜を含む半導体メモリ素子のキャパシタを半導体基板に形成する段階、及び前記キャパシタの全表面を直接的に包む多重カプセル化膜を形成する段階を含むことを特徴とする半導体メモリ素子の製造方法。

・【請求項27】 下部電極、上部電極及び前記下部電極と前記上部電極間で伸張するキャパシタ誘電膜を備える集積回路キャパシタ構造体、及び前記集積回路キャパシタ構造体を包むが、前記キャパシタ誘電膜上で伸張する内部拡散遮断膜及び前記内部拡散遮断膜上に形成される外部拡散遮断膜を少なくとも含む混合膜を備える保護膜及び前記保護膜上に形成された層間絶縁膜を備え、前記内部拡散防止膜は、 $TiO_2$ 、 $Ta_2O_5$ 、 $BaTiO_3$ 、 $SrTiO_3$ 、 $Bi_4Ti_3O_{12}$ 及び $PbTiO_3$ からなった群から選択された物質からなって前記外部拡散防止膜は $Al_2O_3$ からなる集積回路装置。

・【請求項28】 前記内部拡散遮断膜は、前記キャパシタ誘電膜の成分が外部拡散されて貫通する成分を遮断する請求項27に記載の集積回路装置。

・【請求項29】 前記外部拡散遮断膜は、前記外部拡散遮断膜を通して水素イオンが拡散することを遮断する請

求項27に記載の集積回路装置。

・【発明の詳細な説明】

・【0001】

・【発明の属する技術分野】本発明は半導体メモリ素子及びその製造方法に係り、詳細にはキャパシタ保護膜を含む半導体メモリ素子及びその製造方法に関する。

・【0002】

・【従来の技術】最近になって、半導体メモリ素子の製造分野で、半導体メモリ素子のキャパシタ誘電膜を強誘電体で形成するための研究が注目をあびている。非揮発性半導体メモリ素子の場合、強誘電体の残留分極 (remnant polarization、以下 'Pr' と称する) 現象が、現在広く用いられるデジタル記憶素子の基本になっている二値記憶 (binary memory) 概念と合致するためである。現在、広く用いられている強誘電体物質ではPZT ( $Pb(Zr, Ti)O_3$ )、SBT ( $SrBi_2Ta_2O_9$ ) などがある。

・【0003】ところで、半導体メモリ素子のキャパシタ誘電膜を強誘電体で形成することにおいて、最も障害になる問題の一つは、キャパシタ誘電膜として採用された強誘電体の強誘電特性がキャパシタ形成工程以後に遂行される半導体メモリ素子の集積工程 (integration process) で劣化するという点である。半導体メモリ素子の集積過程で強誘電体からなるキャパシタ誘電膜が劣化される問題を以下で具体的に説明すると、半導体メモリ素子の製造においてキャパシタ形成工程を遂行した以後にはILD (Interlayer Dielectric) 工程、IMD (Inter Metal Dielectric) 工程、パッシベーション (Passivation) 工程などが遂行される。ところで、このような工程を遂行する途中ではキャパシタ誘電膜を劣化させ得る不純物、特に水素が誘発できる。誘発された水素は工程が進行される中で直接的にキャパシタ誘電膜に浸透したり、前記工程で形成されるILD膜、IMD膜またはパッシベーション膜内に封入されてキャパシタ誘電膜に間接的に浸透したりすることもある。その結果、キャパシタ誘電膜として使用された強誘電体の強誘電特性中の一つであるPrが減少するようになる。

・【0004】例えば、強誘電体キャパシタを半導体基板に形成した以後にシリコン酸化膜からなる層間絶縁膜を形成するためにILD工程を進行すると、キャパシタの誘電膜が劣化するという問題が生じる。すなわち、PECVD (Plasma Enhanced Chemical Vapor Deposition) 方法を用いてシリコン酸化膜からなる層間絶縁膜を形成するILD工程では、シランガス ( $SiH_4$ ) と酸素ガス ( $O_2$ ) とが反応ガスとして用いられ、シランガスと酸素ガスとが反応し水素イオンが副産物として派生する。派生された水素イオンは、強誘電体キャパシタの誘電膜

5

に直接的に拡散してキャパシタ誘電膜を劣化させたり、ILD工程で形成される層間絶縁膜内に封入されて徐々にキャパシタ誘電膜を劣化させたりする。その結果、キャパシタ誘電膜のPr値が減少されて、キャパシタ誘電膜の強誘電特性が喪失される問題まで生じることもある。このように、半導体メモリ素子の集積過程でキャパシタ誘電膜が劣化される問題は層間絶縁膜を形成するためのILD工程のみで生じるのではなく、金属間絶縁膜を形成するためのIMD工程及びパッシベーション膜を形成するためのパッシベーション工程でも実質的に同一の問題が生じるようになる。

・【0005】したがって、このような問題を解決するために従来技術による半導体メモリ素子製造方法では、キャパシタを形成してから単一膜からなった絶縁膜でキャパシタをカプセル化(encapsulating)する方法を用いている。例えば、米国特許第5,822,175号は水素拡散によるキャパシタ誘電膜の劣化問題を解決するために、キャパシタをシリコン酸化膜、ドーピングされたシリコン酸化膜またはシリコン窒化膜でカプセル化する方法を開示している。

・【0006】一方、キャパシタ形成工程においてはキャパシタ誘電膜を半導体基板上に形成してからキャパシタの誘電膜を600℃ないし800℃の間の温度及び酸素雰囲気下で熱処理して結晶化させることによって誘電膜の絶縁特性を向上させる。また、キャパシタを形成した以後にもキャパシタ形成工程中に遂行した乾式エッチング工程により誘発された誘電膜損傷の回復及び製造されたキャパシタの安定化のために450℃ないし600℃の間の温度及び酸素雰囲気下で熱処理工程が遂行される。

・【0007】ところで、このような熱処理過程で半導体基板上の不純物注入領域、例えばソース領域とキャパシタとを電気的に連結するコンタクトプラグに酸素が拡散してコンタクト抵抗が増加するようになる。例えば、コンタクトプラグがドーピングされたポリシリコンからなった場合、コンタクトプラグに拡散した酸素はポリシリコンと反応してコンタクトプラグとキャパシタの界面にシリコン酸化膜を形成してコンタクト抵抗を増加させるようになる。このようなコンタクト抵抗の増加は半導体メモリ素子の動作速度を低下させる要因として作用するようになる。

・【0008】

・【発明が解決しようとする課題】本発明が達成しようとする技術的課題は、不純物拡散によるキャパシタ誘電膜の劣化を防止するキャパシタ保護膜及び低抵抗コンタクト用物質膜を含む半導体メモリ素子を提供することにある。

・【0009】本発明が達成しようとする他の技術的課題は、キャパシタ形成工程以後に遂行される半導体メモリ素子の集積工程でキャパシタを保護できるようにする半

6

導体メモリ素子の製造方法を提供することにある。

・【0010】

・【課題を解決するための手段】前記技術的課題を達成するための本発明の一側面による半導体メモリ素子の一実施例は、下部電極、上部電極及び前記下部電極と上部電極間に挿入されたキャパシタ誘電膜を含むキャパシタを備える。また、半導体メモリ素子に多層構造を有するカプセル化膜が提供される。カプセル化膜はキャパシタの全表面を包みそして少なくとも相異なる絶縁物質からなった少なくとも2個の物質膜を含む。誘電膜はまた、カプセル化膜上に形成されてメタルコンタクトはカプセル化膜及び誘電膜を貫通して上部電極と接触する。

・【0011】カプセル化膜は、少なくともブロックキング膜とキャパシタ保護膜とを含むが、ブロックキング膜がキャパシタ保護膜の内側に備わってブロックキング膜とキャパシタ保護膜とは相異なる物質からなることが望ましい。

・【0012】カプセル化膜が2重膜である場合には、前記ブロックキング膜はメタルコンタクトが上部電極をコンタクトする部分を除いてキャパシタの全表面を包むことが望ましく、キャパシタ保護膜はブロックキング膜の全表面を包むことが望ましい。ブロックキング膜はブロックキング膜の下部に形成された物質膜とキャパシタ保護膜間の反応を防止できる物質からなることが望ましい。望ましくは、ブロックキング膜はTiO<sub>2</sub>膜、Ta<sub>2</sub>O<sub>5</sub>膜、BaTiO<sub>3</sub>膜、SrTiO<sub>3</sub>膜、Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>膜またはPbTiO<sub>3</sub>膜で有り得る。

・【0013】キャパシタ保護膜は、絶縁膜内に封入された水素がキャパシタ誘電膜に浸透することを防止できる物質及び/またはキャパシタ誘電膜の揮発を防止できる物質で形成することが望ましい。望ましくは、キャパシタ保護膜はAl<sub>2</sub>O<sub>3</sub>膜、TiO<sub>2</sub>膜、Ta<sub>2</sub>O<sub>5</sub>膜、BaTiO<sub>3</sub>膜、SrTiO<sub>3</sub>膜、Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>膜またはPbTiO<sub>3</sub>膜であるが、ブロックキング膜をなす物質とは異なる物質からなることができる。

・【0014】本発明の一側面による半導体メモリ素子は、絶縁膜及びメタルコンタクト上に形成されたパッシベーション膜をさらに含むことができる。メタルコンタクトとパッシベーション膜間にはパッシベーション膜内に封入された水素がキャパシタ誘電膜に浸透することを防止する水素浸透防止膜が選択的に介在されることができる。水素浸透防止膜はAl<sub>2</sub>O<sub>3</sub>膜、TiO<sub>2</sub>膜、Ta<sub>2</sub>O<sub>5</sub>膜、BaTiO<sub>3</sub>膜、SrTiO<sub>3</sub>膜、Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>膜またはPbTiO<sub>3</sub>膜であることが望ましい。

・【0015】本発明の一側面による半導体メモリ素子は、キャパシタ下部に形成された層間絶縁膜、及び層間絶縁膜内に備わった導電性プラグをさらに含む。導電性プラグはキャパシタの下部電極と電気的に連結されてキャパシタの下部電極と導電性プラグ間で伸張するがコバ

50

7

・【0016】本発明の一側面による半導体メモリ素子は、キャパシタ下部に形成された層間絶縁膜、及び層間絶縁膜内に備わってキャパシタ下部電極と電気的に連結される導電性プラグをさらに含むことができる。この時、導電性プラグはコバルトシリサイド膜のみでなったり、導電膜とコバルトシリサイド膜とが順次的に積層された2重膜からなる場合もある。

・【0017】本発明の他の側面による半導体メモリ素子は、下部電極、上部電極及び下部電極と上部電極間に挿入されたキャパシタ誘電膜を含むキャパシタを備える。また本発明の他の側面による半導体メモリ素子にカプセル化膜が提供されてキャパシタの全表面を包む。カプセル化膜は相異なる絶縁物質からなったブロックキング膜とキャパシタ保護膜とを少なくとも含む多重カプセル化膜を含む。この時、ブロックキング膜はキャパシタ保護膜下部に形成される。

・【0018】本発明のまた他の側面による半導体メモリ素子は、下部電極、上部電極及び下部電極と上部電極間に挿入されたキャパシタ誘電膜を含むキャパシタを備える。所定の誘電膜がキャパシタ上に形成される。メタルコンタクトが誘電膜内に形成されて上部電極と接触してパッシベーション膜がメタルコンタクト上に形成される。この実施例では、水素拡散防止膜がメタルコンタクトとパッシベーション膜間に挿入される。

・【0019】本発明の第2の技術的課題を達成するための本発明の一側面による半導体メモリ素子製造方法は、まず下部電極、上部電極及び下部電極と上部電極間に挿入されるキャパシタ誘電膜を含む半導体メモリ素子のキャパシタを半導体基板に形成する。その後、キャパシタの全表面に多重カプセル化膜を形成する。

・【0020】多重カプセル化膜は、少なくとも相異なる絶縁物質からなったブロックキング膜とキャパシタ保護膜とを含むように形成するが、ブロックキング膜をキャパシタ保護膜下部に形成する。多重カプセル化膜が2重膜の場合に多重カプセル化膜形成段階は、まずキャパシタの全表面を包むブロックキング膜を形成する。その後、ブロックキング膜の全表面を包むキャパシタ保護膜を形成する。

・【0021】本発明の一側面による半導体メモリ素子製造方法は、ブロックキング膜を形成した以後に、400℃ないし600℃の間の温度及び酸素雰囲気下で熱処理する段階をさらに含むことができる。

・【0022】ブロックキング膜は、ブロックキング膜の下部に形成された物質膜とキャパシタ保護膜間の反応を防止及び／またはキャパシタ誘電膜の揮発を防止できる物質で形成することが望ましい。望ましくは、ブロックキング膜はTiO<sub>2</sub>膜、Ta<sub>2</sub>O<sub>5</sub>膜、BaTiO<sub>3</sub>膜、SrTiO<sub>3</sub>膜、Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>膜またはPbTiO<sub>3</sub>膜で形成できる。

・【0023】キャパシタ保護膜は、水素浸透防止用物質

8

で形成することが望ましい。望ましくは、TiO<sub>2</sub>膜、Ta<sub>2</sub>O<sub>5</sub>膜、Al<sub>2</sub>O<sub>3</sub>膜、BaTiO<sub>3</sub>膜、SrTiO<sub>3</sub>膜、Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>膜またはPbTiO<sub>3</sub>膜で形成するが、ブロックキング膜をなす物質とは異なる物質膜で形成することが望ましい。

・【0024】本発明の一側面による半導体メモリ素子製造方法は、多重カプセル化膜を形成した以後に、多重カプセル化膜上に絶縁膜を形成する段階と絶縁膜を貫通して上部電極をコンタクトするメタルコンタクトを形成する段階とメタルコンタクトが形成されている半導体基板の全面にパッシベーション膜を形成する段階をさらに含むことができる。

・【0025】パッシベーション膜を形成する前に半導体基板の全面に水素浸透防止膜を形成する段階を追加して進行できる。望ましくは、水素浸透防止膜はAl<sub>2</sub>O<sub>3</sub>膜、TiO<sub>2</sub>膜、Ta<sub>2</sub>O<sub>5</sub>膜、BaTiO<sub>3</sub>膜、SrTiO<sub>3</sub>膜、Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>膜またはPbTiO<sub>3</sub>膜で形成できる。水素防止膜は原子層蒸着方法(atomic layer deposition)工程により形成されることが望ましい。

・【0026】本発明の第2の技術的課題を達成するための本発明の他の側面による半導体メモリ素子製造方法は、半導体基板上に所定の半導体集積回路素子を形成する段階及び半導体集積回路素子が形成された前記半導体基板の全面にパッシベーション膜を形成する段階を含み、そしてパッシベーション膜を形成する前に水素浸透防止膜を半導体基板の全面に形成する段階をさらに含むことができる。

・【0027】

・【発明の実施の形態】以下、添付した図面を参照して本発明によるキャパシタ保護膜を含む半導体メモリ素子及びその製造方法に対する望ましい実施例を詳細に説明する。しかし、本発明の実施例はさまざまな異なる形態で変形でき、本発明の範囲が以下に詳述する実施例に限定されることが解釈されてはならない。以下の図面を参照した説明は関連した産業技術分野で平均的知識を有する者に本発明をより完全に説明するために提供されることである。図面上での層や領域の厚さは説明の明確性のために記載されたものである。図面上で同一の符号は同一の要素を指称する。また、ある層が他の層または基板の上部にあると記載した場合、前記ある層が前記他の層または基板の上部に直接存在する場合もあり、その間に第3の層が介在される場合もある。一方、図1ないし図20を参考にして説明された本発明の実施例による半導体メモリ素子に備わるキャパシタは、COB(Capacitor Over Bit line)構造を有する。しかし、本発明による半導体メモリ素子に備わるキャパシタは、CUB(Capacitor Under Bit line)構造を有する場合もあることはもちろんである。

9

・【0028】図1は、本発明による半導体メモリ素子の構造に対する第1実施例を示した断面図である。

・【0029】図1を参照すると、半導体基板100上にはLOCOS工程によって形成された素子分離膜101が活性領域を定義しており、素子分離膜101によって定義される活性領域上には電界効果トランジスタTが形成されている。もちろん、前記活性領域を定義する素子分離膜はトレンチ素子分離方法によって形成される場合もある。前記電界効果トランジスタTはゲート電極102、ソース領域104及びドレーン領域106からなっている。前記ゲート電極102と半導体基板100間には酸化膜からなったゲート酸化膜108が介在される。ゲート電極102の側壁には窒化膜からなった側壁スペーサ110が形成されている。

・【0030】前記素子分離膜102及び電界効果トランジスタTが形成された半導体基板100の全面には隣接する電界効果トランジスタTを電氣的に分離させる第1層間絶縁膜112が形成されており、第1層間絶縁膜112上には第2層間絶縁膜114が形成されている。第1層間絶縁膜112及び第2層間絶縁膜114はBSG (Borosilicate Glass) 膜、PSG (Phosphosilicate Glass) 膜、BPSG (BoroPhosphosilicate Glass) 膜、TEOS (TetraEthlyOrthoSilicate Glass) 膜、USG (UndopedSilicate Glass) 膜、オゾン-TEOS膜、PE (Plasma Enhanced) -TEOS膜またはこれらの組合せ膜で有り得る。そして、前記第1層間絶縁膜112内にはランディングプラグ116が形成されており、第2層間絶縁膜114内にはビットラインコンタクトパッド118が形成されている。第1及び第2層間絶縁膜112及び114内には導電性プラグ120が形成されている。図示はしていないが前記ビットラインコンタクトパッド118は、ビットライン（図示せず）と電氣的に連結されて前記ランディングプラグ116は、半導体基板100上に形成された不純物注入領域、例えばドレーン領域106とビットラインコンタクトパッド118とを電氣的に連結する。前記導電性プラグ120は第2層間絶縁膜114上に形成された半導体メモリ素子のキャパシタCと半導体基板100上に形成された不純物注入領域、例えばソース領域104とを電氣的に連結する。前記半導体メモリ素子のキャパシタCは下部電極122、キャパシタ誘電膜124及び上部電極126で構成され、前記キャパシタCと第2層間絶縁膜114間には界面膜128が介在されている。

・【0031】一方、図1で導電性プラグ120、界面膜128及びキャパシタCを示すことにおいては、その具体的な構造を省略して示した。なぜなら、本発明による半導体メモリ素子の構造においては導電性プラグ12

10

0、界面膜128及びキャパシタCが多様な構造を有することができるためである。したがって、導電性プラグ120、界面膜128及びキャパシタCの多様な構造は図3及び図7を参照して以後に詳細に説明する。

・【0032】前記上部電極126の一部表面を除いたキャパシタCの全表面及び第2層間絶縁膜114上にはキャパシタCを保護するカプセル化膜 (Encapsulating Layer: 以下 'EL' と称する) が多重膜として形成されている。また、前記カプセル化膜EL上には第3層間絶縁膜134が形成されており、カプセル化膜ELが形成されていない上部電極126上には上部電極メタルコンタクト136が形成されている。前記第3層間絶縁膜134はBSG膜、PSG膜、BPSG膜、TEOS膜、USG膜、オゾン-TEOS膜、PE-TEOS膜またはこれらの組合せ膜で有り得る。

・【0033】多重膜で構成されたカプセル化膜ELはキャパシタCを保護するために次のような機能を遂行することが望ましい。まず、キャパシタ誘電膜124の揮発を防止しなければならない。例えば、キャパシタ誘電膜124がPZT膜、BST膜またはPLZT膜のような高誘電体膜または強誘電体膜からなった場合にキャパシタ誘電膜124内の酸素原子がキャパシタ誘電膜124から離脱することを防止しなければならない。なぜなら、キャパシタ誘電膜124が揮発するとキャパシタCが劣化されて蓄積された電荷によって情報を貯蔵する固有の機能を喪失するためである。また、カプセル化膜ELはキャパシタC周辺に形成されている物質膜、例えば第3層間絶縁膜134内に封入された水素がキャパシタ誘電膜124に拡散することを遮断し得るべきである。

・【0034】したがって、カプセル化膜ELは、少なくとも相異なる絶縁物質からなったブロックキング膜とキャパシタ保護膜とを備えることが望ましい。ここで、キャパシタ保護膜は水素がキャパシタ誘電膜124に拡散することを防止する機能を遂行する。そして、ブロックキング膜はキャパシタ保護膜下部に形成されて、ブロックキング膜の下部に形成された物質膜とキャパシタ保護膜とが相互反応することを防止する機能及び/またはキャパシタ誘電膜の揮発防止機能を主に遂行する。もちろん、主に遂行する機能においてブロックキング膜とキャパシタ保護膜とは差はあるが、前記で羅列した機能を全部遂行できることはもちろんである。

・【0035】カプセル化膜ELが多重膜として構成される場合、カプセル化膜ELは次のように構成できる。例えば、カプセル化膜ELが3重膜の場合にはブロックキング膜\緩衝膜\キャパシタ保護膜の順序で積層させた構造を有することができる。また、カプセル化膜ELが2重膜の場合にはブロックキング膜\キャパシタ保護膜の順序で積層させた構造を有する場合もある。もちろん、カプセル化膜ELが有することができる構造が上述した2重膜または3重膜のみに限らず、カプセル化膜E



11

1を構成できる物質膜の数及びその構成は多様に決定できる。

・【0036】図1に示された本発明による半導体メモリ素子の第1実施例に備わったカプセル化膜E1は2重膜構造になっている。まず、ブロックキング膜130が上部電極126の一部表面を除いたキャパシタCの全表面及び第2層間絶縁膜114の上部表面上に直接的に形成されている。そして、前記ブロックキング膜130上にはキャパシタ保護膜132が直接的に形成されている。

・【0037】前記ブロックキング膜130を構成できる物質膜はブロックキング膜130の機能を考慮して選択する。望ましくは、ブロックキング膜130はTiO<sub>2</sub>膜、Ta<sub>2</sub>O<sub>5</sub>膜、BaTiO<sub>3</sub>膜、SrTiO<sub>3</sub>膜、Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>膜またはPbTiO<sub>3</sub>膜からなることができる。前記ブロックキング膜130を構成できる物質膜の選択においては、キャパシタ誘電膜124と反応を起こさない物質膜を選択することが望ましい。したがって、ブロックキング膜130を構成する物質膜の種はキャパシタ誘電膜124として形成した物質膜の種によって決定することが望ましい。例えば、キャパシタ誘電膜124がPZT膜、BST膜またはPLZT膜のような高誘電体膜または強誘電体膜からなった場合にはブロックキング膜130はスパッタリング方法によって形成されたTiO<sub>2</sub>膜（スパッタリング-TiO<sub>2</sub>膜）からなることが望ましい。しかし、前記のようにブロックキング膜130を構成する物質としてTiO<sub>2</sub>膜を選択した場合にブロックキング膜130はCVD（Chemical Vapor Deposition）方法によって形成されたTiO<sub>2</sub>膜（CVD-TiO<sub>2</sub>膜）、LPCVD（Low Pressure Chemical Vapor Deposition）方法によって形成されたTiO<sub>2</sub>膜（LPCVD-TiO<sub>2</sub>膜）、SACVD（Sub Atmospheric Chemical Vapor Deposition）方法によって形成されたTiO<sub>2</sub>膜（SACVD-TiO<sub>2</sub>膜）、PECVD（Plasma Enhanced Chemical Vapor Deposition）方法によって形成されたTiO<sub>2</sub>膜（PECVD-TiO<sub>2</sub>膜）、ALD（Atomic Layer Deposition）方法によって形成されたTiO<sub>2</sub>膜（ALD-TiO<sub>2</sub>膜）またはLA（Laser Ablation）方法によって形成されたTiO<sub>2</sub>膜（LA-TiO<sub>2</sub>膜）の場合もある。前記ブロックキング膜130を構成する物質としてTiO<sub>2</sub>膜以外の他の物質を選択しても前記のように同一の適用ができる。前記ブロックキング膜130の厚さはブロックキング膜130が遂行する機能、ブロックキング膜130として選択した物質膜の物性などを考慮して決定される。望ましくはブロックキング膜130の厚さは50Åないし1500Åの間で有り得る。一方、前記ブロックキング膜130はその機能を考慮し

12

てみる時、400℃ないし600℃の間の温度及び酸素雰囲気下で安定化熱処理された安定化物質膜の場合もある。

・【0038】前記キャパシタ保護膜132を構成する物質膜は、キャパシタ保護膜132が遂行する機能を考慮して選択する。望ましくは、キャパシタ保護膜132は、TiO<sub>2</sub>膜、Ta<sub>2</sub>O<sub>5</sub>膜、Al<sub>2</sub>O<sub>3</sub>膜、BaTiO<sub>3</sub>膜、SrTiO<sub>3</sub>膜、Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>膜またはPbTiO<sub>3</sub>膜からなることができる。ここで、キャパシタ保護膜132を構成する物質膜の種は、キャパシタ誘電膜124を構成する物質膜の種及びブロックキング膜130を構成する物質膜の種によって変わる場合もある。例えば、ブロックキング膜130と反応性がある物質膜でキャパシタ保護膜132を形成しないことが望ましい。また、ブロックキング膜130を構成する物質膜とは異なる物質膜でキャパシタ保護膜132を構成することが望ましい。例えば、キャパシタ誘電膜124がPZT膜、BST膜またはPLZT膜のような高誘電体膜または強誘電体膜からなってブロックキング膜130がスパッタリング-TiO<sub>2</sub>膜からなった場合にはキャパシタ保護膜132はALD-Al<sub>2</sub>O<sub>3</sub>膜であることが望ましい。しかし、キャパシタ保護膜132を構成する物質としてAl<sub>2</sub>O<sub>3</sub>膜を選択した場合にキャパシタ保護膜132は、CVD-Al<sub>2</sub>O<sub>3</sub>膜、LPCVD-Al<sub>2</sub>O<sub>3</sub>膜、SACVD-Al<sub>2</sub>O<sub>3</sub>膜、PECVD-Al<sub>2</sub>O<sub>3</sub>膜、スパッタリング-Al<sub>2</sub>O<sub>3</sub>膜またはLA-Al<sub>2</sub>O<sub>3</sub>膜の場合もある。前記キャパシタ保護膜132を構成する物質としてAl<sub>2</sub>O<sub>3</sub>膜以外の物質を選択しても前記のように同一の適用ができる。また、キャパシタ保護膜132はその機能を考慮する時400℃ないし600℃の間の温度及び酸素雰囲気下で安定化熱処理された安定化物質膜の場合もある。一方、キャパシタ保護膜132の厚さはキャパシタ保護膜132が遂行する機能、キャパシタ保護膜132として選択した物質膜の物性などを考慮して決定する。望ましくは、キャパシタ保護膜132の厚さは50Åないし5000Åの間で有り得る。より望ましくは、キャパシタ保護膜132の厚さは50Åないし1500Åの間で有り得る。

・【0039】前記上部電極メタルコンタクト136及び前記第3層間絶縁膜134上にはパッシベーション膜138が形成されている。前記パッシベーション膜138はシリコン酸化膜、シリコン窒化膜またはシリコン酸化窒化膜で有り得る。前記パッシベーション膜厚は200Åないし2000Åの間で有り得る。

・【0040】一方、半導体メモリ素子のキャパシタCを水素からより完全に保護するために第3層間絶縁膜134とパッシベーション膜138間に水素浸透防止膜140が選択的に形成されている場合がある。前記水素浸透防止膜140はキャパシタ保護膜132と実質的に同一な機能を遂行する。換言すれば、水素浸透防止膜140

13

はパッシベーション膜138に封入されている水素が上部電極メタルコンタクト136が形成された部分でキャパシタC方向に拡散してキャパシタ誘電膜124を劣化させることを防止する機能を遂行する。したがって、前記水素浸透防止膜140は $Al_2O_3$ 膜、 $TiO_2$ 膜、 $Ta_2O_5$ 膜、 $BaTiO_3$ 膜、 $SrTiO_3$ 膜、 $Bi_4Ti_3O_{12}$ 膜またはこれらの組合せ膜からなることができる。ところで、前記水素浸透防止膜140は水素がキャパシタC方向に拡散することを、より効果的に防止するために水素に対する吸着力があって安定した化学的及び物理的物性を有する物質膜であることが望ましい。したがって、水素浸透防止膜140は、結晶学的構造が安定で膜質が稠密するばかりか、100%のステップカバレッジを有するALD- $Al_2O_3$ 膜であることがより望ましい。しかし、水素浸透防止膜140を構成する物質膜として $Al_2O_3$ 膜を選択した場合に、水素浸透防止膜140は、CVD- $Al_2O_3$ 膜、LPCVD- $Al_2O_3$ 膜、SACVD- $Al_2O_3$ 膜、PECVD- $Al_2O_3$ 膜、LA- $Al_2O_3$ 膜またはスパッタリング- $Al_2O_3$ 膜の場合もある。前記水素浸透防止膜140の厚さは50Åないし2000Åの間で有り得るが、200Åないし300Åの間であることが望ましい。

・【0041】場合によって、水素浸透防止膜140は400℃ないし600℃の間の温度及び酸素雰囲気下で安定化熱処理された安定化物質膜の場合もある。このように、水素浸透防止膜140が安定化熱処理された物質膜の場合にはキャパシタC方向に水素が拡散することをより完全に遮断できる。

・【0042】図示はしないが、水素浸透防止膜140と第3層間絶縁膜134間に緩衝膜が選択的に介在される場合もある。例えば、前記緩衝膜は常圧CVD方法によって形成された物質膜またはPECVD方法によって形成された酸化膜で有り得る。前記緩衝膜が常圧CVD方法によって形成された酸化膜の場合、緩衝膜はオゾン-TEOS膜、PSG膜またはBPSG膜で有り得る。前記緩衝膜がPECVD方法によって形成された酸化膜の場合、緩衝膜はPE-TEOS膜またはPE-SiH<sub>4</sub>膜で有り得る。前記緩衝膜厚は50Åないし1000Åの間で有り得る。

・【0043】図2は、本発明による半導体メモリ素子の構造に対する第2実施例を示している。半導体基板100上に形成されている素子分離膜102と電界効果トランジスタT、第1層間絶縁膜112及び第2層間絶縁膜114、第1層間絶縁膜112内に形成されたランディングプラグ116、第2層間絶縁膜114内に形成されたビットラインコンタクトパッド118、第1及び第2層間絶縁膜112及び114内に形成された導電性プラグ120の構造は本発明による半導体メモリ素子の構造に対する第1実施例の場合と実質的に同一である。

・【0044】図2を参照すると、導電性プラグ120と

14

半導体メモリ素子のキャパシタCとが界面膜128を間に置いて電気的に連結されている。もちろん、前記キャパシタCは下部電極122、キャパシタ誘電膜124及び上部電極126で構成されている。前記キャパシタCの下部電極122及びキャパシタ誘電膜124は第3層間絶縁膜134内に形成されており、キャパシタ誘電膜124の側壁と第3層間絶縁膜134間には拡散防止スペーサ142が介在されている。

・【0045】一方、本発明による半導体メモリ素子の第2実施例に備わる導電性プラグ120、界面膜128及びキャパシタCも前記第1実施例の場合と同様に多様な構造からなることができるが、その具体的な構造は図3ないし図7を参照して以下で詳細に説明する。

・【0046】前記拡散防止スペーサ142は、第3層間絶縁膜134内に封入された水素がキャパシタ誘電膜124に拡散することを防止できる物質膜からなることが望ましい。望ましくは、拡散防止スペーサ142は、 $Al_2O_3$ 膜、 $TiO_2$ 膜、 $Ta_2O_5$ 膜、 $BaTiO_3$ 膜、 $SrTiO_3$ 膜、 $Bi_4Ti_3O_{12}$ 膜、 $PbTiO_3$ 膜またはこれらの組合せ膜で有り得る。しかし、拡散防止スペーサ142は、ALD- $Al_2O_3$ 膜からなることがより望ましい。もちろん、拡散防止スペーサ142を構成する物質膜として $Al_2O_3$ 膜以外の他の物質膜を選択しても、ALD技術を利用して膜を形成することが望ましい。

・【0047】第3層間絶縁膜134の上部表面、キャパシタ上部電極126の上部面及び側壁、キャパシタ誘電膜124の上部面中一部面には多重膜で構成されたカプセル化膜ELが形成されている。前記カプセル化膜ELに対しては本発明による半導体メモリ素子の第1実施例を説明しながら詳細に説明した場合があつてここではこれに対する説明を省略する。

・【0048】本発明による半導体メモリ素子の第2実施例の場合にも第1実施例の場合と同様にカプセル化膜ELがブロックキング膜130とキャパシタ保護膜132とが積層された2重膜構造になっている。前記カプセル化膜EL上には第4層間絶縁膜144が形成されており、第4層間絶縁膜144及びカプセル化膜ELを貫通して上部電極メタルコンタクト136が形成されている。そして、第4層間絶縁膜144及び上部電極メタルコンタクト136上にはパッシベーション膜138が形成されている。前記第3層間絶縁膜134及び第4層間絶縁膜144は第1層間絶縁膜112と実質的に同一な種の物質膜からなることができる。前記パッシベーション膜138を構成できる物質膜の種は本発明による半導体メモリ素子の第1実施例を説明しながら詳細に説明した場合があつて、ここでは説明を省略する。

・【0049】一方、本発明による半導体メモリ素子の第1実施例の場合と同様に、半導体メモリ素子のキャパシタCを水素からより完全に保護するために第4層間絶縁



15

膜 144 とパッシベーション膜 138 間に水素浸透防止膜 140 が選択的に形成されている場合がある。前記水素浸透防止膜 140 を構成できる物質膜の種及び厚さに対しては本発明による半導体メモリ素子の第 1 実施例を説明しながら詳細に説明した場合があつて説明を省略する。

・【0050】本発明の第 1 実施例による半導体メモリ素子と同様に水素浸透防止膜 140 と第 4 層間絶縁膜 144 間に緩衝膜が選択的に介在される場合もある。前記緩衝膜を構成できる物質膜の種及び厚さに対しては本発明による半導体メモリ素子に対する第 1 実施例で詳細に説明したのでその説明は省略する。

・【0051】前記では本発明による半導体メモリ素子に対する第 1 実施例及び第 2 実施例を図面を参照して詳細に説明した。ところで、図 1 及び図 2 で半導体メモリ素子を示すことにおいて、導電性プラグ 120、界面膜 128 及びキャパシタ C の構造は具体的に示さずに概略的にのみ示したことに対しては既に説明したとおりである。したがって、以下では図 3 ないし図 7 を参照して本発明による半導体メモリ素子に具備できる導電性プラグ 120、界面膜 128 及びキャパシタ C の構造に対する望ましい実施例をより詳細に説明する。図 3 ないし図 7 に示した導電性プラグ 120、界面膜 128 及びキャパシタ C の構造は図 1 及び図 2 で指摘された R 区間に限定され、キャパシタ C の構造を示すことにおいては、キャパシタ C の側壁プロファイルは考慮せずに示した。

・【0052】もちろん、以下で説明する導電性プラグ 120、界面膜 128 及びキャパシタ C の多様な構造は図 1 及び図 2 に示された半導体メモリ素子の構造に各々適用できる。

・【0053】図 3 は、本発明による半導体メモリ素子に含まれることができる導電性プラグ 120、界面膜 128 及びキャパシタ C に対する第 1 実施例を示している。

・【0054】図 3 を参照すると、半導体基板 100 上に形成された第 1 及び第 2 層間絶縁膜 112 及び 114 内には不純物注入領域、例えばソース領域 104 をコンタクトする導電性プラグ 120a が形成されている。前記導電性プラグ 120a は下部プラグ 200 と上部プラグ 202 とで構成されている。前記下部プラグ 200 は導電性がある低抵抗物質からなつて、前記上部プラグ 202 は導電性ばかりか耐酸化性があつて熱的に安定した面抵抗を有する物質からなることが望ましい。したがって、下部プラグ 200 はドーピングされたポリシリコン膜であることが望ましく、上部プラグ 202 はコバルトシリサイド膜であることが望ましい。しかし、下部プラグ 200 はドーピングされたポリシリコン膜、タングステン膜 W、タンタル膜 Ta、ルテニウム膜 Ru、イリジウム膜 Ir、白金膜 Pt、オスミウム膜 Os、タングステンシリサイド膜 WSi、タングステン窒化膜 WN またはこれらの組合せ膜からなる場合もある。また、上部ブ

16

ラグ 202 はニッケルシリサイド膜、チタンシリサイド膜、タンタルシリサイド膜、クロムシリサイド膜またはハフニウムシリサイド膜の場合もある。特に、上部プラグ 202 の厚さは 50 Å ないし 1000 Å の間で有り得るが、300 Å ないし 500 Å の間であることが望ましい。

・【0055】前記第 2 層間絶縁膜 114 上には接着膜 204 及び拡散防止膜 206 が順次的に積層された界面膜 128a が形成されており、界面膜 128a 上には金属酸化物膜 208 及び耐熱性金属膜 210 が順次的に積層されたキャパシタ下部電極 122a が形成されている。また、前記キャパシタ下部電極 122a 上にはキャパシタ誘電膜 124a が形成されており、前記キャパシタ誘電膜 124a 上にはキャパシタ上部電極 126a が形成されている。前記接着膜 204 は拡散防止膜 206 とその下の下部膜、特に第 2 層間絶縁膜 114 との接着力を向上させることができる物質膜であることが望ましい。したがって、前記接着膜 204 は転移金属膜であることが望ましい。また、拡散防止膜 206 は金属酸化物膜 208 及びその上部に形成された物質膜と導電性プラグ 120a との反応を最少化させることができる物質膜であることが望ましい。したがって、前記拡散防止膜 206 は、転移金属の窒化膜または貴金属膜であることが望ましい。例えば、接着膜 204 は Ti 膜であることが望ましく、接着膜 204 の厚さは 20 Å ないし 150 Å の間、例えば 50 Å 程度であることが望ましい。また、前記拡散防止膜 206 が転移金属の窒化膜の場合、拡散防止膜 206 は TiN 膜であることが望ましく、前記拡散防止膜 206 が貴金属の場合、拡散防止膜 206 は Ir 膜または Ru 膜であることが望ましい。前記拡散防止膜 206 の厚さは 500 Å ないし 1500 Å の間、例えば、1000 Å 程度であることが望ましい。しかし、接着膜 204 及び拡散防止膜 206 を構成できる物質膜が Ti 膜または TiN 膜及び Ir 膜または Ru 膜に各々限らず本発明が属する技術分野で通常の知識を有する者により接着膜 204 及び拡散防止膜 206 として用いることができる物質膜がすべて含まれることができることはもちろんである。

・【0056】前記金属酸化物膜 208 は、下部電極 122a 上に備わるキャパシタ誘電膜 124a から酸素原子が離脱しても酸素を再供給してキャパシタ誘電膜 124a の誘電特性劣化を緩和できる物質膜で形成することが望ましい。したがって、金属酸化物膜 208 は IrO<sub>2</sub> 膜で形成することが望ましい。しかし、金属酸化物 208 膜は IrO<sub>2</sub> 膜、RuO<sub>2</sub> 膜、LaSrCoO<sub>3</sub>、(Ca, Sr)RuO<sub>3</sub> 膜またはこれらの組合せ膜で形成する場合もある。前記金属酸化物膜 208 の厚さは金属酸化物膜 208 を構成する物質によって変わるが 200 Å ないし 800 Å の間であることが望ましい。例えば、金属酸化物膜 208 が IrO<sub>2</sub> 膜の場合には 500 Å 程度

17

であることが望ましい。

・【0057】前記耐熱性金属膜210は、キャパシタ誘電膜124aとの界面特性が良好な物質膜からなることが望ましい。したがって、前記耐熱性金属膜210はPt膜からなることが望ましい。しかし、耐熱性金属膜210はPt膜、Ir膜、Ru膜、Rh膜、Os膜、Pd膜またはこれらの組合せ膜からなる場合もある。耐熱性金属膜210の厚さは耐熱性金属膜210を構成する物質によって変わるが、耐熱性金属膜210の厚さは1000Åないし2000Åの間であることが望ましい。例えば、耐熱性金属膜210がPt膜の場合1500Å程度であることが望ましい。

・【0058】前記キャパシタ誘電膜124aは、キャパシタC<sub>1</sub>の高いキャパシタンスを得るためにTiO<sub>2</sub>膜、SiO<sub>2</sub>膜、Ta<sub>2</sub>O<sub>5</sub>膜、Al<sub>2</sub>O<sub>3</sub>膜、SiO<sub>2</sub>/SiN膜、BaTiO<sub>3</sub>膜、SrTiO<sub>3</sub>膜、(Ba, Sr)TiO<sub>3</sub>膜、Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>膜、PbTiO<sub>3</sub>膜、PZT((Pb, La)(Zr, Ti)O<sub>3</sub>)膜、(SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>)(SBT)膜またはこれらの組合せ膜からなることが望ましい。

・【0059】前記キャパシタ上部電極126aは、耐熱性金属膜、金属酸化物膜またはこれらの組合せ膜で有り得る。しかし、キャパシタ上部電極126aは金属酸化物膜212及び耐熱性金属膜214が順次的に積層された2重膜であることが望ましい。この時、前記金属酸化物膜212はIrO<sub>2</sub>膜であることが望ましく、前記耐熱性金属膜214はIr膜であることが望ましい。しかし、前記金属酸化物膜212はIrO<sub>2</sub>膜、RuO<sub>2</sub>膜、IrO<sub>2</sub>膜、(Ca, Sr)RuO<sub>3</sub>膜、LaSrCoO<sub>3</sub>膜またはこれらの組合せ膜の場合もあって、前記耐熱性金属膜214はPt膜、Ir膜、Ru膜、Rh膜、Os膜、Pd膜またはこれらの組合せ膜の場合もある。前記上部電極126aがIrO<sub>2</sub>膜とIr膜とが順次的に積層された2重膜の場合、IrO<sub>2</sub>膜厚は100Åないし1000Åの間であることが望ましく、Ir膜厚は400Åないし2000Åの間であることが望ましい。

・【0060】前記のように導電性プラグ120aの上部プラグ202がコバルトシリサイド膜のような熱的に安定した面抵抗を有する物質膜からなる場合にはキャパシタC<sub>1</sub>と導電性プラグ120a間のコンタクト抵抗が緩和されて半導体メモリ素子の動作速度を向上させることができるようになる。

・【0061】図4は、本発明による半導体メモリ素子に含まれることができる導電性プラグ120、界面膜128及びキャパシタCの構造に対する第2実施例を示す。

・【0062】図4を参照すると、半導体基板100上の第1及び第2層間絶縁膜112及び114内には不純物注入領域、例えばソース領域104をコンタクトする導電性プラグ120bが形成されている。ところで、図3

18

に示された導電性プラグ120aとは別に図4に示された導電性プラグ120bは単一物質膜からなっている。導電性プラグ120bは導電性を有するばかりか耐酸化性を有して熱的に安定した面抵抗を有する物質膜からなることが望ましい。したがって、導電性プラグ120bはコバルトシリサイド膜であることが望ましい。しかし、導電性プラグ120bはニッケルシリサイド膜、チタンシリサイド膜、タンタルシリサイド膜、ハフニウムシリサイド膜またはクロムシリサイド膜の場合もある。

・【0063】単一物質膜で構成された導電性プラグ120b上には接着膜216と拡散防止膜218とが順次的に積層された界面膜128bが形成されている。また、金属酸化物膜220及び耐熱性金属膜222が順次的に積層されたキャパシタ下部電極122bが界面膜128b上に形成されている。そして、前記キャパシタ下部電極122b上にはキャパシタ誘電膜124bとキャパシタ上部電極126bとが順次的に形成されている。前記接着膜216、拡散防止膜218、金属酸化物膜220、耐熱性金属膜222、キャパシタ誘電膜124b及びキャパシタ上部電極126bを構成できる物質膜の種類、構成及び厚さは、図3に示された接着膜204、拡散防止膜206、金属酸化物膜208、耐熱性金属膜210、キャパシタ誘電膜124a及びキャパシタ上部電極126aの場合と実質的に同一である。

・【0064】前記のように導電性プラグ120bがコバルトシリサイド膜のような導電性ばかりか耐酸化性を有して熱的に安定した面抵抗を有する物質膜からなった場合には導電性プラグ120bとキャパシタC<sub>2</sub>間のコンタクト抵抗を緩和できて半導体メモリ素子の動作速度を向上させることができる。

・【0065】図5は、本発明による半導体メモリ素子に含まれることができる導電性プラグ120、界面膜128及びキャパシタCの構造に対する第3実施例を示す。

・【0066】図5を参照すると、半導体基板100上の第1及び第2層間絶縁膜112及び114内には不純物注入領域、例えばソース領域104をコンタクトして単一膜からなる導電性プラグ120cが形成されている。前記導電性プラグ120cは図3に示された下部プラグ200と実質的に同一の物質膜で形成できる。例えば、導電性プラグ120cはドーピングされたポリシリコン膜で形成することが望ましい。前記導電性プラグ120c及び第2層間絶縁膜114上には導電膜224、シリサイド膜226及び拡散防止膜228が順次的に積層された界面膜128cが形成されている。前記導電膜224は図3に示された下部プラグ200と実質的に同一の物質膜で有り得る。例えば、導電膜224は、ドーピングされたポリシリコン膜であることが望ましい。前記導電膜224の厚さは3000Åないし10000Åの間であることが望ましい。前記シリサイド膜226は図3に示された上部プラグ202と実質的に同一な物質膜で

19

有り得る。例えば、シリサイド膜226はコバルトシリサイド膜であることが望ましい。また、前記シリサイド膜226の厚さは300Åないし500Åの間であることが望ましい。前記拡散防止膜228は図3に示された拡散防止膜206と実質的に同一の物質膜で有り得る。例えば、拡散防止膜228はIr膜であることが望ましい。前記拡散防止膜228の厚さは300Åないし1500Åの間であることが望ましい。

・【0067】前記界面膜128c上には金属酸化物膜230と耐熱性金属膜232とが順次的に積層されたキャパシタ下部電極122cが形成されている。前記キャパシタ下部電極122c上にはキャパシタ誘電膜124c及びキャパシタ上部電極126cが順次的に形成されている。前記金属酸化物膜230、耐熱性金属膜232、キャパシタ誘電膜124c及びキャパシタ上部電極126cを構成できる物質膜の種、構成及び厚さは、図3に示された金属酸化物膜208、耐熱性金属膜210、キャパシタ誘電膜124a及びキャパシタ上部電極126aと実質的に同一である。

・【0068】前記のように界面膜128c内にコバルトシリサイド膜のように導電性があるばかりか耐酸化性があり熱的に安定した面抵抗を有したシリサイド膜226が含まれると導電性プラグ120cとキャパシタC<sub>3</sub>間のコンタクト抵抗を緩和できて半導体メモリ素子の動作速度を向上させることができる。

・【0069】図6は、本発明による半導体メモリ素子に含まれることができる導電性プラグ120、界面膜128及びキャパシタCの構造に対する第4実施例を示す。

・【0070】図6を参照すると、半導体基板100上の第1及び第2層間絶縁膜112及び114内には単一膜からなって不純物注入領域、例えばソース領域104をコンタクトする導電性プラグ120dが形成されている。そして、導電性プラグ120d及び第2層間絶縁膜114上には導電膜からなった界面膜128dが形成されている。前記導電性プラグ120d及び界面膜128dは図3に示された下部プラグ200と実質的に同一な物質膜で有り得る。例えば、導電性プラグ120d及び界面膜128dはドーピングされたポリシリコン膜であることが望ましい。また、導電膜からなった前記界面膜128dの厚さは3000Åないし10000Åの間であることが望ましい。前記界面膜128d上には導電性があるばかりか、耐酸化性及び熱的に安定した面抵抗を有する物質膜で構成されたキャパシタ下部電極122dが形成されている。キャパシタ下部電極122d上にはキャパシタ誘電膜124dとキャパシタ上部電極126dとが順次的に形成されている。前記キャパシタ下部電極122dは図3に示された上部プラグ202と実質的に同一の物質膜で有り得る。例えば、キャパシタ下部電極122dはコバルトシリサイド膜であることが望ましい。また、前記キャパシタ下部電極122dの厚さは5

20

00Åないし3000Åの間であることが望ましい。前記キャパシタ誘電膜124d及びキャパシタ上部電極126dを構成できる物質膜の種、構成及び厚さは、図3に示されたキャパシタ誘電膜124a及びキャパシタ上部電極126aと実質的に同一である。

・【0071】前記のようにキャパシタ下部電極122dがコバルトシリサイド膜のような導電性ばかりか耐酸化性及び熱的に安定した面抵抗を有した物質膜で構成されると導電性プラグ120dとキャパシタC<sub>4</sub>間のコンタクト抵抗を緩和できて半導体メモリ素子の動作速度を向上させることができる。

・【0072】図7は、本発明による半導体メモリ素子に含まれることができる導電性プラグ120、界面膜128及びキャパシタCの構造に対する第5実施例を示す。

・【0073】図7を参照すると、半導体基板100上の第1及び第2層間絶縁膜112及び114内には単一膜からなって不純物注入領域、例えばソース領域104をコンタクトする導電性プラグ120eが形成されている。導電性プラグ120eは図3に示された下部プラグ200と実質的に同一の物質膜で有り得る。例えば、導電性プラグ120eはドーピングされたポリシリコン膜であることが望ましい。前記導電性プラグ120e及び第2層間絶縁膜114上にはシリサイド膜232と拡散防止膜234とが順次的に積層された界面膜128eが形成されている。前記シリサイド膜232は図3に示された上部プラグ202と実質的に同一の物質膜で有り得る。例えば、シリサイド膜232はコバルトシリサイド膜であることが望ましい。また、前記シリサイド膜232の厚さは50Åないし1000Åの間であることが望ましい。前記拡散防止膜234は図3に示された拡散防止膜206と実質的に同一な物質膜で有り得る。例えば、前記拡散防止膜234はIr膜であることが望ましい。

・【0074】前記界面膜128e上には金属酸化物膜236と耐熱性金属膜238とが順次的に積層されたキャパシタ下部電極122eが形成されている。そして、キャパシタ下部電極122e上にはキャパシタ誘電膜124eとキャパシタ上部電極126eとが順次的に形成されている。前記金属酸化物膜236、耐熱性金属膜238、キャパシタ誘電膜124e及びキャパシタ上部電極126eを構成する物質膜の種、構成及び厚さは、図3に示された金属酸化物膜208、耐熱性金属膜210、キャパシタ誘電膜124a及びキャパシタ上部電極126aと実質的に同一である。

・【0075】前記のように界面膜128e内にコバルトシリサイド膜のような導電性ばかりか耐酸化性及び熱的に安定した面抵抗を有したシリサイド膜232が具備されると導電性プラグ120eとキャパシタC<sub>5</sub>間のコンタクト抵抗を緩和できて半導体メモリ素子の動作速度を向上させることができる。

21

・【0076】以下では本発明による半導体メモリ素子の製造方法に対する望ましい実施例を添付した図面を参照して詳細に説明する。

・【0077】図8ないし図17は、本発明による半導体メモリ素子製造方法に対する第1実施例を示す。

・【0078】図8を参照すると、まず半導体基板300上に素子分離膜302を形成して活性領域を定義した後、活性領域上にトランジスタTを形成する。前記素子分離膜302は通常的な方法、例えばLOCOS(LOCAL Oxidation of Silicon)工程を遂行して形成できる。もちろん、トレンチ素子分離方法によって活性領域を定義する素子分離膜を形成する場合もある。前記トランジスタTは、側壁スペーサ304を有してゲート絶縁膜306が介在されたゲート電極308、ドレイン領域310及びソース領域312を備えた電界効果トランジスタで有り得る。

・【0079】その後、通常的な方法を用いてランディングプラグ314とビットラインコンタクトパッド316とを形成する。すなわち、第1層間絶縁膜318を形成して、第1層間絶縁膜318内にトランジスタのドレイン領域314をコンタクトするランディングプラグ314を形成する。換言すれば、フォトエッチング工程を遂行して不純物注入領域、例えばドレイン領域310を露出させる開口315を形成した後、前記開口315の内部を導電膜、例えばドーピングされたポリシリコン膜で埋め込む。続いて、ランディングプラグ314上にビットラインコンタクトパッド316を形成する。すなわち、導電膜、例えばドーピングされたポリシリコン膜を第1層間絶縁膜318上に形成した後、フォトエッチング工程を遂行して前記導電膜をパターンニングすることにより、前記ビットラインコンタクトパッド316を形成する。その後、前記ビットラインコンタクトパッド316上に第2層間絶縁膜320を形成する。

・【0080】第1層間絶縁膜318及び第2層間絶縁膜320はシリコン酸化膜、シリコン酸化窒化膜、BSG膜、PSG膜、BPSG膜、TEOS膜、オゾン-TEOS膜、PE-TEOS膜、USG膜またはこれらの組合せ膜で有り得る。そして、第1層間絶縁膜318及び第2層間絶縁膜320は通常的な方法、例えばCVD方法、LPCVD方法またはPECVD方法を用いて形成できる。

・【0081】引続き、フォトエッチング工程を遂行してトランジスタTのソース領域312を露出させるコンタクトホール322を第1層間絶縁膜318及び第2層間絶縁膜320内に形成する。この時ビットラインコンタクトパッド316と連結されるビットライン(図示せず)を形成する。

・【0082】図9を参照すると、通常的な方法でコンタクトホール322内部を導電膜で埋め込んで導電性プラグ324を形成する。例えば、導電膜をスパッタリング

22

方法を用いて半導体基板300の全面に形成した後、化学機械的研磨方法またはエッチバック方法を用いて導電膜の上部表面を第2層間絶縁膜320の上部表面と実質的に同一化レベルに平坦化して導電性プラグ324を形成できる。前記導電性プラグ324はドーピングされたポリシリコン膜で形成することが望ましい。しかし、前記導電性プラグ324はドーピングされたポリシリコン膜、タングステン膜W、タンタル膜Ta、ルテニウム膜Ru、イリジウム膜Ir、オスmium膜Os、白金膜Pt、タングステンシリサイド膜WSi、コバルトシリサイド膜CoSi、タングステン窒化膜WNまたはこれらの組合せ膜で形成する場合もある。

・【0083】前記のようにコンタクトホール322内に導電性プラグ324を形成した後、半導体基板300の全面をブリクレーニング(precleaning)する。その後、導電性プラグ324の上面に形成された自然酸化膜を除去する。例えば、導電性プラグ324がドーピングされたポリシリコン膜の場合には後続工程を進行するために半導体基板300を移す過程または前記ブリクレーニング過程で導電性プラグ324上に自然酸化膜が形成される。したがって、前記自然酸化膜による半導体メモリ素子のコンタクト抵抗増加を防止するために前記自然酸化膜を取り除く工程を遂行してから後続工程を進行するようになる。

・【0084】具体的に、前記ブリクレーニングを実施した後乾燥した状態の半導体基板全面を特定周波数、例えば13.56MHzのラジオ周波数RFを利用してクリーニングする。そうすると、前記導電性プラグ324上に形成された自然酸化膜が除去される。前記RFクリーニングはさまざまな方法で実施できるが、スパッタリング装置内で強い電界により加速されたアルゴンイオン(Ar<sup>+</sup>)を利用して実施することが望ましい。

・【0085】前記のようにクリーニング工程を遂行して導電性プラグ324上の自然酸化膜を取り除いた後、半導体基板300の全面に高融点金属膜326と表面平坦化膜328とを順次的に形成する。前記高融点金属膜326及び表面平坦化膜328は通常的な方法、例えばスパッタリング方法またはCVD方法を用いて形成できる。前記導電性プラグ324をドーピングされたポリシリコン膜で形成した場合には、前記高融点金属膜326は後続シリサイド化工程で導電性プラグ324方向への拡散特性が優秀でシリサイド化工程でシリサイド化されても高温で安定した抵抗特性、例えば低い面抵抗を有することができる物質膜であることが望ましい。したがって、前記高融点金属膜326はコバルト膜で形成することが望ましい。しかし、高融点金属膜326はニッケル膜、チタン膜、タンタル膜、ハフニウム膜またはクロム膜でも形成できる。前記導電性プラグ324がドーピングされたポリシリコン膜で形成された場合に、前記高融点金属膜326は後続シリサイド化工程でシリサイド化

## 23

されるソース物質膜として作用する。したがって、前記高融点金属膜326を形成する時には後続シリサイド化工程で形成しようとするシリサイド膜厚を考慮して十分な厚さに形成することが望ましい。したがって、高融点金属膜326は50Åないし200Åの間の厚さに形成できるが、望ましくは130Å程度の厚さに形成する。

・【0086】前記表面平坦化膜328は、後続シリサイド化工程で高融点金属膜326上に表面粗さ(surf ace roughness)が生じることを防止するばかりか、後続シリサイド化工程で酸素が高融点金属膜326を通過して導電性プラグ324に拡散することを防止するために形成することである。したがって、表面平坦化膜328はチタン窒化膜TiNで形成することが望ましい。また、表面平坦化膜328は50Åないし150Åの間の厚さに形成できるが、100Å程度の厚さに形成することが望ましい。前記RFクリーニング工程、高融点金属膜326形成工程及び表面平坦化膜328形成工程は半導体メモリ素子の全体製造工程数を減らすために同一な装置でインサイチュ(in-situ)で進行することが望ましい。

・【0087】図10を参照すると、前記のように高融点金属膜(図9の326参照)及び表面平坦化膜(図9の328参照)を形成した後、高融点金属膜(図9の326参照)と導電性プラグ324間でシリサイド化反応を誘発する熱処理工程を進行する。前記熱処理工程は急速熱処理方式で構成されることが望ましい。例えば、導電性プラグ324をシリサイド化するために窒素雰囲気下で急速熱処理工程を進行するが400℃ないし1000℃の間の温度、望ましくは480℃程度の温度で90秒程度実施することが望ましい。もちろん、急速熱処理工程による熱処理時間は形成しようとするシリサイド膜厚によって変えることができる。このように、熱処理工程が進行されると高融点金属を構成する原子、例えばコバルト原子が導電性プラグ324を構成する原子、例えばシリコン原子と定まった比によって反応するようになる。このような反応は熱処理工程が終了される時まで続く。熱処理工程が終了されてから導電性プラグ324の上部には耐酸化性がある高融点金属のシリサイド膜が形成されるようになる。前記のようにシリサイド化工程を遂行してから、表面平坦化膜(図9の328参照)及びシリサイド化していない高融点金属膜(図9の326参照)を湿式エッチング方法を用いて除去する。例えば、表面平坦化膜(図9の328参照)及びシリサイド化していない高融点金属膜(図9の326参照)は、りん酸と窒酸との混合溶液を用いて除去できる。その後、結果物のシリサイド反応安定化のためにもう一度650℃程度で急速熱処理する。例えば、反応安定化のための急速熱処理工程は窒素雰囲気下で約30秒間遂行できる。

・【0088】その結果、コンタクトホール322は、導電性プラグ324を構成する物質を含む導電膜からな

## 24

た下部プラグ330と高融点金属のシリサイド膜とからなった上部プラグ332で充填されるようになる。例えば、導電性プラグ324がドーピングされたポリシリコン膜からなる場合、ドーピングされたポリシリコン膜からなった下部プラグ330及びコバルトシリサイド膜からなった上部プラグ332がコンタクトホール330内に形成される。

・【0089】前記のような一連の工程を通して導電性プラグ324の上部にはコバルトシリサイド膜のようなシリサイド膜からなった上部プラグ332が形成されて、前記上部プラグ332はオーミックコンタクト層として用いられるようになる。上部プラグ332の厚さは30Åないし1000Åの間で有り得るが、300Åないし500Åの間であることが望ましい。

・【0090】図11を参照すると、上部プラグ332及び第2層間絶縁膜320上に界面膜334を形成する。具体的に示さなかったが、界面膜334は上部プラグ332と第2層間絶縁膜320上に接着膜と拡散防止膜とを順次的に積層して形成することが望ましい。

・【0091】前記接着膜は導電性プラグ324の上部プラグ332及び第2層間絶縁膜320と拡散防止膜間の接着力を向上させるために形成する物質膜からなる。したがって、接着膜は転移金属膜、例えばTi膜で形成することが望ましい。前記接着膜厚は接着膜として形成しようとする物質膜によって変わるだろうが、10Åないし200Å程度の厚さに形成することが望ましい。前記接着膜をTi膜で形成する場合には50Å程度の厚さに形成することが望ましい。

・【0092】前記拡散防止膜は、界面膜334上部に形成される物質膜と界面膜334下部に形成された導電性プラグ324とが後続工程を進行する過程で相互反応することを防止するばかりか、酸素雰囲気下で遂行される後続工程における酸素拡散による導電性プラグ324の劣化を防止する。したがって、拡散防止膜はこのような機能を遂行できる物質膜で形成することが望ましい。例えば、拡散防止膜はIr膜で形成することが望ましい。もちろん、拡散防止膜はTi膜、Ta膜、W膜、Ni膜、Cr膜、Ir膜、Ru膜、これら(Ti、Ta、W、Ni、Cr、IrまたはRu)の窒化膜(Nitride)、プロム化膜(Boride)、炭化膜(Carbide)、シリサイド膜(Silicide)またはこれらの組合せ膜で形成する場合もある。また、拡散防止膜はTi-Si-N系化合物膜、Ti-B-N系化合物膜、Ta-Si-N系化合物膜、Ta-B-N系化合物膜、Ta-Al-N系化合物膜、W-B-N系化合物膜、W-Si-N系化合物膜、Ti-Al系化合物膜またはTa-Al系化合物膜で形成する場合もある。前記拡散防止膜は形成する物質膜によってその厚さを異なるように形成できるが、40Åないし1800Åの厚さに形成することが望ましい。拡散防止膜をIr膜で形成し



25

た場合には1100Å程度の厚さに形成することが望ましい。

・【0093】界面膜334を形成した後、界面膜上に下部導電膜336を形成する。下部導電膜336は金属酸化物膜と耐熱性金属膜とを界面膜334上に順次的に積層して形成することが望ましい。

・【0094】前記金属酸化物膜は、酸化膜であっても導電性を有するばかりか後続工程で下部導電膜336上に形成される誘電膜338から酸素原子が離脱しても酸素原子を再供給できる物質膜で形成することが望ましい。したがって、金属酸化物膜は $\text{IrO}_2$ 膜で形成することが望ましい。しかし、金属酸化物膜は $\text{IrO}_2$ 膜、 $\text{RuO}_2$ 膜、 $(\text{Ca}, \text{Sr})\text{RuO}_3$ 膜、 $\text{LaSrCoO}_3$ 膜またはこれらの組合せ膜でも形成できる。前記金属酸化物膜は化学気相蒸着方法、原子層蒸着方法、物理的蒸着方法またはレーザー溶着方法を用いて形成できる。しかし、金属酸化物膜を形成するための方法は形成しようとする物質膜によって変わることができる。金属酸化物膜を $\text{IrO}_2$ 膜として形成する場合にはスパッタリング方法を用いることが望ましい。金属酸化物膜厚は形成しようとする物質膜によって変わるだろうが、金属酸化物膜は100Åないし1000Åの間の厚さに形成できる。金属酸化物膜を $\text{IrO}_2$ 膜で形成した場合には500Å程度の厚さに形成することが望ましい。

・【0095】一方、金属酸化物膜を形成した次には熱処理工程を遂行して金属酸化物膜を結晶化することが望ましい。金属酸化物膜を熱処理する温度は金属酸化物膜として形成しようとする物質膜によって変わる。金属酸化物膜を $\text{IrO}_2$ 膜で形成した場合には600℃程度で前記熱処理工程を遂行することが望ましい。

・【0096】前記耐熱性金属膜は、後続工程で下部導電膜336上に形成される誘電膜338の結晶成長を誘発できるばかりか、誘電膜338を均一に成長させることができる物質膜で形成することが望ましい。したがって、耐熱性金属膜はPt膜で形成することが望ましい。しかし、耐熱性金属膜はPt膜、Ir膜、Ru膜、Rh膜、Os膜、Pd膜またはこれらの組合せ膜で形成する場合もある。前記耐熱性金属膜は化学気相蒸着方法、物理的蒸着方法、原子層蒸着方法、スパッタリング方法またはレーザー溶着方法を用いて形成できる。例えば、耐熱性金属膜をPt膜として形成する場合にはスパッタリング方法を用いて形成することが望ましい。耐熱性金属膜の厚さは形成しようとする物質膜によって変わるが、耐熱性金属膜は400Åないし2500Åの間の厚さに形成できる。例えば、耐熱性金属膜をPt膜で形成した場合には1500Å程度の厚さに形成することが望ましい。

・【0097】下部導電膜336を形成した後、下部導電膜336上に誘電膜338を形成する。前記誘電膜338は $\text{TiO}_2$ 膜、 $\text{Ta}_2\text{O}_5$ 膜、 $\text{Al}_2\text{O}_3$ 膜、 $\text{BaTiO}_3$ 膜、 $\text{SrTiO}_3$ 膜、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜、 $\text{PbTiO}_3$ 膜、 $\text{SiO}_2$ 膜、 $\text{SiN}$ 膜、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ 膜、 $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ 膜、 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 膜、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 膜またはこれらの組合せ膜で形成できる。しかし、後続工程で形成されるキャパシタの停電容量をさらに向上させるために誘電膜338は高誘電体膜または強誘電体膜で形成することが望ましい。例えば、前記誘電膜338はPZT膜、BST膜、PLZT膜またはこれらの組合せ膜で形成することが望ましい。誘電膜338は通常的な方法で形成できるが、誘電膜338を形成するための具体的な方法の選択は前記で誘電膜338として羅列した物質膜の種類によって変わる。誘電膜338をPZT膜で形成した場合にはゾルゲル(sol-gel)方法を用いて形成することが望ましい。また、誘電膜338の形成厚さは誘電膜338として形成しようとする物質膜によって変わるだろうが、誘電膜338は500Åないし2000Åの厚さに形成することが望ましい。誘電膜338をPZT膜で形成した場合には2000Å程度の厚さに形成することが望ましい。

26

3膜、 $\text{SrTiO}_3$ 膜、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜、 $\text{PbTiO}_3$ 膜、 $\text{SiO}_2$ 膜、 $\text{SiN}$ 膜、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ 膜、 $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ 膜、 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 膜、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 膜またはこれらの組合せ膜で形成できる。しかし、後続工程で形成されるキャパシタの停電容量をさらに向上させるために誘電膜338は高誘電体膜または強誘電体膜で形成することが望ましい。例えば、前記誘電膜338はPZT膜、BST膜、PLZT膜またはこれらの組合せ膜で形成することが望ましい。誘電膜338は通常的な方法で形成できるが、誘電膜338を形成するための具体的な方法の選択は前記で誘電膜338として羅列した物質膜の種類によって変わる。誘電膜338をPZT膜で形成した場合にはゾルゲル(sol-gel)方法を用いて形成することが望ましい。また、誘電膜338の形成厚さは誘電膜338として形成しようとする物質膜によって変わるだろうが、誘電膜338は500Åないし2000Åの厚さに形成することが望ましい。誘電膜338をPZT膜で形成した場合には2000Å程度の厚さに形成することが望ましい。

・【0098】一方、誘電膜338を形成した以後には酸素雰囲気及び600℃ないし900℃の間の温度で熱処理を遂行する。誘電膜338をPZT膜で形成した場合には750℃程度で前記熱処理工程を遂行する。そうすると、前記熱処理によって誘電膜338が稠密になりキャパシタの停電容量が向上され、キャパシタの漏れ電流特性が緩和される。一方、酸素雰囲気の熱処理が実施されるために、酸素が導電性プラグ324に拡散できる。しかし、拡散防止膜が含まれている界面膜334とコバルトシリサイド膜とからなった上部プラグ332が導電性プラグ324の上部に形成されているために、導電性プラグ324の下部膜である下部プラグ330への酸素拡散は遮断される。

・【0099】誘電膜338を形成した後、誘電膜338上に上部導電膜340を形成する。上部導電膜340は耐熱性金属膜、金属酸化物膜またはこれらの組合せ膜で形成できる。前記金属膜はPt膜、Ir膜、Ru膜、Rh膜、Os膜またはPd膜の場合もあり、前記金属酸化物膜は $\text{RuO}_2$ 膜、 $\text{IrO}_2$ 膜、 $(\text{Ca}, \text{Sr})\text{RuO}_3$ 膜または $\text{LaSrCoO}_3$ 膜で有り得る。上部導電膜340は $\text{IrO}_2$ 膜とIr膜とが順次的に積層された2重膜で形成することが望ましい。Ir膜は誘電膜338から酸素原子が離脱する場合酸素原子を再供給する。一方、上部導電膜340は形成しようとする物質膜によって形成厚さが変わるだろうが、上部導電膜340は500Åないし3000Åの間の厚さに形成することが望ましい。前記上部導電膜340を金属酸化物膜と耐熱性金属膜とが順次的に積層された2重膜として形成する場合には、金属酸化物膜は100Åないし1000Åの間の厚さに形成して、耐熱性金属膜は400Åないし2000Åの厚さに形成することが望ましい。

27

00 Åの間の厚さに形成することが望ましい。上部導電膜340をIrO<sub>2</sub>膜とIr膜とが順次的に積層された2重膜として形成する場合にはIrO<sub>2</sub>膜は300 Å程度の厚さに形成して、Ir膜は1200 Å程度の厚さに形成することが望ましい。

・【0100】図12を参照すると、図11に示された界面膜334、下部導電膜336、誘電膜338及び上部導電膜340をパターンニングして界面膜パターン334'、キャパシタ下部電極336'、キャパシタ誘電膜338'及びキャパシタ上部電極340'を各々形成する。キャパシタCを形成するための前記パターンニング段階は1回のフォトエッチング工程で遂行される場合もあり、2回以上のフォトエッチング工程で遂行される場合もある。キャパシタCを2回のフォトエッチング工程で形成する場合、まず上部導電膜340をパターンニングして上部電極340'を形成する。次に、誘電膜338、下部導電膜336、界面膜334をパターンニングしてキャパシタ誘電膜338'、下部電極336'及び界面膜パターン334'を形成する。キャパシタCを3回のフォトエッチング工程で形成する場合には上部導電膜340／誘電膜338及び下部導電膜336／界面膜334各々に対して別個のフォトエッチング工程を遂行する場合もある。他の方法で、上部導電膜340及び誘電膜338が別途のフォトエッチング工程でパターンニングされ、下部導電膜336及び界面膜334が異なる別途のフォトエッチング工程でパターンニングできる。

・【0101】図13及び図14を参照すると、前記のように2回または3回のフォトエッチング工程を遂行してキャパシタCを形成すると、図12に示されたこととは別にキャパシタCの側壁プロファイルは階段型の形態を有することができる。図13は2回のフォトエッチング工程を遂行してキャパシタCを形成した場合を示し、図14は3回のフォトエッチング工程を遂行してキャパシタCを形成した場合を示す。

・【0102】前記のように、キャパシタCを形成した後はその結果物を450℃ないし600℃の間の温度及び酸素雰囲気下で熱処理することが望ましい。このように、熱処理をするとキャパシタを安定化させることができ、前記キャパシタを形成するために遂行したエッチング工程で誘発されたキャパシタの損傷を回復させることができる。特に、導電性プラグ324の上部プラグ332を900℃まで熱的に安定した面抵抗を有したコバルトシリサイド膜で形成すると、下部導電膜336を構成する金属酸化物膜及び誘電膜338を形成した以後またはキャパシタCを形成した以後に遂行される600℃以上の高温熱処理工程でキャパシタCと下部プラグ330間のコンタクト抵抗の劣化をより効果的に防止できるようになる。

・【0103】一方、前記のようにキャパシタCを形成した後はILD工程、IMD工程、パッシベーション工

28

程などが進行されることが一般的である。ところで、このような工程が進行される中キャパシタ誘電膜338'の誘電特性が劣化される恐れがある。すなわち、ILD工程、IMD工程及びパッシベーション工程が進行される間に水素ソースガス(hydrogen based gas)、例えば水素ガスが生じてキャパシタ誘電膜338'を劣化させる場合がある。したがって、キャパシタCを形成した後に遂行する工程でキャパシタCを外部環境から保護するために、キャパシタCを包む機能性膜を形成する。このために本発明による半導体メモリ素子製造方法はキャパシタCを包む多重膜で構成されたカプセル化膜ELを提供する。

・【0104】ところで、多重膜で構成されたカプセル化膜ELはキャパシタCを外部環境から保護するために次のような機能を遂行できるように形成することが望ましい。第一、キャパシタ誘電膜338'の揮発を防止しなければならない。すなわち、キャパシタ誘電膜338'をPZT膜、BST膜またはPLZT膜のような高誘電体膜または強誘電体膜で形成する場合強誘電体膜が後続する集積工程で揮発することを防止しなければならない。なぜなら、強誘電体膜が揮発するとキャパシタCが劣化されて電荷蓄積によって情報を貯蔵する固有の機能が喪失されるためである。第二、カプセル化膜ELはキャパシタ誘電膜338と反応してはいけない。第三、カプセル化膜ELはキャパシタ誘電膜338'と反応を起こしてはいけない。第四、カプセル化膜ELは後続する集積工程で水素ソースガスが直接的にキャパシタ誘電膜338'に拡散することを阻止できなければならない。これだけではなく、後続集積工程で形成される層間絶縁膜ILD膜、金属間絶縁膜IMD膜またはパッシベーション膜内に封入された水素ソースガスがキャパシタ誘電膜338'に拡散することを阻止できなければならない。

・【0105】前述した要件を満足させるために、本発明はブロックキング膜とキャパシタ保護膜とを含むカプセル化膜ELを形成する。ここで、キャパシタ保護膜の主機能は後続集積工程で水素ソースガスがキャパシタ誘電膜338'に拡散することを防止することである。そして、ブロックキング膜はキャパシタ保護膜下部に形成されて、ブロックキング膜の下部に形成された物質膜とキャパシタ保護膜とが相互反応することを防止する機能及び／またはキャパシタ誘電膜338'の揮発防止機能を主に遂行する。もちろん、主に遂行する機能においてブロックキング膜とキャパシタ保護膜とは差はあるが、前記で羅列した機能を全部遂行することはもちろんである。ブロックキング膜とキャパシタ保護膜との機能はカプセル化膜ELを形成する過程またはキャパシタCを形成した後に進行される後続集積工程で主に示される。したがって、これに対しては以後に詳細に説明する。

・【0106】カプセル化膜ELを多重膜で形成する場合

29

合、次のようにカプセル化膜E<sub>L</sub>を構成してキャパシタCを包むことができる。例えば、3重膜からなったカプセル化膜E<sub>L</sub>の場合、ブロックキング膜、緩衝膜及びキャパシタ保護膜の順序で積層させたカプセル化膜E<sub>L</sub>でキャパシタCを包むことができる。そして、2重膜からなったカプセル化膜E<sub>L</sub>の場合、ブロックキング膜とキャパシタ保護膜とで積層されたカプセル化膜E<sub>L</sub>でキャパシタCを包む場合もある。このように、カプセル化膜Cの物質膜数及びその構成は多様に決定できる。しかし、少なくともブロックキング膜とキャパシタ保護膜とは含めることが望ましい。ここで積層させようとする物質膜の数はカプセル化膜E<sub>L</sub>形成工程の経済性などを考慮して決定することはもちろんである。

・【0107】図15を参照すると、本発明による半導体メモリ素子製造方法の第1実施例ではカプセル化膜E<sub>L</sub>を2重膜で形成する。まず、キャパシタCを包むブロックキング膜342を半導体基板300の全面に形成する。その後、ブロックキング膜342上にキャパシタ保護膜344を形成する。ブロックキング膜342として形成する物質膜はブロックキング膜342の機能を考慮して選択する。望ましくは、ブロックキング膜342はTiO<sub>2</sub>膜、Ta<sub>2</sub>O<sub>5</sub>膜、BaTiO<sub>3</sub>膜、SrTiO<sub>3</sub>膜、Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>膜またはPbTiO<sub>3</sub>膜で形成できる。一方、ブロックキング膜342として形成しようとする物質膜の選択において、キャパシタ保護膜344と反応を起こさない物質膜を選択することが望ましい。したがって、ブロックキング膜342を形成するための物質膜の種はキャパシタ誘電膜338'として形成した物質膜の種によって決定することが望ましい。例えば、PZT膜、BST膜またはPLZT膜のような高誘電体膜または強誘電体膜でキャパシタ誘電膜338'を形成した場合には、TiO<sub>2</sub>膜でブロックキング膜342を形成することが望ましい。前記ブロックキング膜342の厚さはブロックキング膜342が遂行する機能、ブロックキング膜342として選択した物質膜の物性などを考慮して決定する。したがって、ブロックキング膜342は50Åないし1500Åの厚さに形成することが望ましい。

・【0108】一方、ブロックキング膜342を形成するための具体的な方法の選択は、前記で羅列した物質膜の種によって変わる。なぜなら、ブロックキング膜342として形成できる物質膜として羅列した各々の物質膜によって、ブロックキング膜342の形成時適用が容易な方法があるためである。望ましくは、ブロックキング膜342は化学気相蒸着 (Chemical Vapor deposition) 方法、物理的気相蒸着 (Physical Vapor Deposition) 方法、スパッタリング (Sputtering) 方法、原子層蒸着 (Atomic Layer Deposition) 方法またはレーザー溶着方法 (Laser a

30

blation) を用いて形成できる。しかし、ブロックキング膜342をTiO<sub>2</sub>膜で形成する場合にはスパッタリング方法を用いて形成することがより望ましい。もちろん、スパッタリング方法以外の方法も用いることができることはもちろんである。

・【0109】スパッタリング方法を用いてTiO<sub>2</sub>膜をブロックキング膜342として形成する場合に、ターゲット物質、スパッタリングガス及び反応ガスでは各々チタン金属、アルゴンガス及び酸素ガスを用いることができる。そして、工程条件は次のように設定できる。例えば、ブロックキング膜342を形成するための装置としてD<sub>1</sub>Cスパッタリング装置を用いる時には1kWないし6kWの間の電力を印加できるが、6kW程度であることが望ましい。そして、チャンバの温度は25℃ないし700℃の間で有り得るが、630℃程度が望ましい。チャンバの圧力は1mtorrないし5mtorrの間に調節できるが、1mtorr程度に調節することが望ましい。また、アルゴンガスと酸素ガスとの流量は各々8sccmないし14sccmの間に調節できるが、10sccm程度に各々調節することが望ましい。

・【0110】キャパシタ保護膜344として形成する物質膜はキャパシタ保護膜344が遂行する機能を考慮して選択する。望ましくは、キャパシタ保護膜344はTiO<sub>2</sub>膜、Ta<sub>2</sub>O<sub>5</sub>膜、Al<sub>2</sub>O<sub>3</sub>膜、BaTiO<sub>3</sub>膜、SrTiO<sub>3</sub>膜、Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>膜またはPbTiO<sub>3</sub>膜で形成できる。ここで、キャパシタ保護膜344として形成する物質膜の種は、キャパシタ誘電膜338'として形成された物質膜の種及びブロックキング膜342として形成された物質膜の種によって変わることができる。例えば、ブロックキング膜342と反応性がある物質膜とでキャパシタ保護膜344を形成しないことが望ましい。また、ブロックキング膜342とは異なる物質膜でキャパシタ保護膜344を形成することが望ましい。前記物質膜中からAl<sub>2</sub>O<sub>3</sub>膜でキャパシタ保護膜344を形成することがより望ましい。一方、キャパシタ保護膜344の厚さはキャパシタ保護膜344が遂行する機能、キャパシタ保護膜344として選択した物質膜の物性などを考慮して決定する。望ましくは、キャパシタ保護膜344は50Åないし5000Åの厚さに形成することが望ましい。しかし、キャパシタ保護膜344は50Åないし1500Åの厚さに形成することがより望ましい。一方、キャパシタ保護膜344が1500Å以上になると、キャパシタ保護膜344が層間絶縁膜として使用できる。したがって、後続するILD工程を実施しない場合もある。

・【0111】キャパシタ保護膜344を形成するための具体的な方法の選択は、前記で羅列した物質膜の種によって変わることができる。その理由に対してはブロックキング膜342の形成段階を説明しながら既に説明したことがある。望ましくは、キャパシタ保護膜344は化

学気相蒸着 (Chemical Vapor deposition) 方法、物理的蒸着 (Physical Vapor Deposition) 方法、スパッタリング (Sputtering) 方法、原子層蒸着 (Atomic Layer Deposition) 方法またはレーザー溶着方法を用いて形成できる。

・【0112】しかし、原子層蒸着方法を用いてキャパシタ保護膜344を形成することがより望ましい。なぜなら、原子層蒸着方法は次のような工程上の長所を有しているためである。すなわち、原子層蒸着方法は低温で工程を遂行することが可能である。そして、物理的及び化学的に非常に安定したキャパシタ保護膜344を形成できる。したがって、既に説明したことがあるキャパシタ保護膜344の機能を強化させることができる。また、キャパシタ保護膜344を形成する時、1原子層単位で反復形成するために、膜厚を正確に制御することが可能である。同時に、キャパシタ保護膜344が蒸着される被蒸着表面のトポロジーがどんなに複雑であっても、100%のステップカバレッジを有するようにキャパシタ保護膜344を形成できる。

・【0113】前記原子層蒸着方法を用いてキャパシタ保護膜344として $Al_2O_3$ 膜を形成する時には、まず原子層蒸着装置のチャンバ内にローディングされた半導体基板の上部にアルミニウムソースガスを流す。アルミニウムソースガスとしてTMA (Trimethyl Aluminum)、DMAH (Dimethyl Aluminum Hydride)、DMEAA (Dimethyl Ethyl Amine Alane)、TIBA (Tri Isobutyl Aluminum) またはこれらの組合せガスを用いることができる。流したアルミニウムソースガスは半導体基板の全面に化学的または物理的に吸着される。その後、チャンバ内に残留するガスを除去した後、不活性ガスで半導体基板の上部をパージ (purge) して物理的に吸着されたアルミニウムソースガスを除去する。不活性ガスは、Arガス、 $N_2$ ガス、 $N_2O$ ガスまたはこれらの組合せガスを用いることができる。続いて、酸素ソースガスを半導体基板の上部に流す。酸素ソースガスとしては $H_2O$ ガス、 $N_2O$ ガス、 $O_3$ ガスまたはこれらの組合せガスを用いることができる。アルミニウムソースガスと酸素ソースガスとの反応はアルミニウムソースガスが吸着されている半導体基板の上部表面のみで起きるために、1原子レベルの薄膜が形成される。その後、残留する酸素ソースガスをチャンバから除去した後、不活性ガスをパージして半導体基板の上部表面に物理的に吸着された酸素ソースガスを除去する。前記不活性ガスとして使用できるガスの種は既に説明したことがある。前記のような過程を経て1原子レベルの薄膜が形成されると、原子層蒸着方法の1サイクルが終了される。キャパシタ保護膜344を所定の厚さ、例えば100Åの厚さに形成する時には所望する

膜厚さを得る時まで原子層蒸着方法のサイクルを繰り返す。

・【0114】キャパシタ保護膜344として $Al_2O_3$ 膜を原子層蒸着方法を用いて形成するための望ましい工程条件は次のようである。すなわち、 $Al_2O_3$ 膜の蒸着温度はウェーハ温度を基準に150℃ないし500℃の間で有り得るが、300℃程度が望ましい。アルミニウムソースガスのパルシング時間は0.1秒ないし2秒で有り得るが、1秒程度であることが望ましい。そして、物理的に吸着されたアルミニウムソースガスを取り除くための不活性ガスのパージ時間は0.1秒ないし10秒で有り得るが、5秒程度であることが望ましい。また、酸素ソースガスのパルシング時間は0.1秒ないし20秒で有り得るが、0.2秒程度であることが望ましい。同時に、物理的に吸着された酸素ソースガスを取り除くための不活性ガスのパージ時間は0.1秒ないし20秒で有り得るが、6秒程度であることが望ましい。

・【0115】一方、カプセル化膜ELの機能をさらに向上させるためにブロックキング膜342を形成した後及び/またはキャパシタ保護膜344を形成した後に熱処理段階を遂行できる。

・【0116】具体的に、ブロックキング膜342を形成した後にブロックキング膜342の絶縁特性を強化させるために酸素雰囲気中の熱処理工程を選択的 (Optional) に遂行できる。望ましくは、600℃以下で熱処理工程を遂行する。なぜなら、ブロックキング膜342を高温、例えば600℃以上で熱処理するようになると酸素が導電性プラグ324に拡散する恐れがあるためである。より望ましくは、400℃ないし600℃の間で熱処理工程を遂行する。

・【0117】キャパシタ保護膜344を形成した後にキャパシタ保護膜344の絶縁特性を強化するために酸素雰囲気中の熱処理工程を選択的 (optional) に遂行する場合もある。望ましくは600℃以下で熱処理工程を遂行する。より望ましくは、400℃ないし600℃の間の温度で熱処理工程を遂行する。

・【0118】一方、場合によってキャパシタ保護膜344を形成した後に600℃以上の高温熱処理工程を遂行する場合もある。なぜなら、カプセル化膜ELが形成されているために、酸素が容易に導電性プラグ324に拡散されないためである。特に、原子層蒸着方法以外の方法でキャパシタ保護膜344を形成した場合には、キャパシタ保護膜344を形成した後に高温熱処理工程を遂行することが望ましい場合もある。なぜなら、原子層蒸着方法によって形成されたキャパシタ保護膜344の場合は、膜質が非常に安定なために高温で熱処理を進めなくてもキャパシタ保護膜344としての機能を遂行できるが、他の方法で形成されたキャパシタ保護膜344の場合には600℃以上の高温熱処理工程を通して絶縁特性を強化させる必要があるためである。特に、ブロッ

33

クキング膜342を形成して熱処理工程を進行していかなくて、キャパシタ保護膜344を原子層蒸着方法によって形成していない場合には、600℃以上の高温熱処理工程を実施することが望ましい。一方、原子層蒸着方法によって形成されたキャパシタ保護膜344は膜質が安定なために、熱処理工程が進行される中、導電性プラグ324に酸素が拡散されることをより確実に防止できる。したがって、キャパシタ保護膜344の熱処理段階における工程マージンをさらに増加させることができるようになる。

・【0119】前記のようにキャパシタCをカプセル化膜ELで包むと、後続工程でキャパシタCが劣化されることを防止できる。これに対しては以下で具体的に説明する。

・【0120】図16を参照すると、カプセル化膜ELを形成した後ILD工程を進行する。すなわち、半導体基板300の全面に第3層間絶縁膜346を形成する。第3層間絶縁膜346はシリコン酸化膜、シリコン酸化窒化膜、BSG膜、PSG膜、BPSG、TEOS膜、オゾン-TEOS膜、PE-TEOS膜、USG膜またはこれらの組合せ膜で有り得る。

・【0121】例えば、第3層間絶縁膜346を化学気相蒸着方法を用いてシリコン酸化膜として形成する場合には、シランガスと酸素ガスとが反応ガスとして用いられる。ところで、シランガスと酸素ガスとの反応結果水素が副産物として派生されてキャパシタ誘電膜338'を劣化させる場合がある。しかし、本発明によると、キャパシタCは多重膜で構成されたカプセル化膜ELで覆い被されてあるために、ILD工程で水素がキャパシタCに拡散することを遮断できる。カプセル化膜ELを構成する物質膜中から、特にキャパシタ保護膜344が水素遮断機能を主に遂行する。もちろん、程度の差はあるがブロックキング膜342も水素遮断機能を遂行することはもちろんである。

・【0122】続いて、メタル工程を進行する。すなわち、まず第3層間絶縁膜346、キャパシタ保護膜344及びブロックキング膜342を通常的な方法でパターンニングして、キャパシタ上部電極340'の一部を露出させるコンタクトホール348を形成する。第3層間絶縁膜346はフルオロを基礎にした(Fluorine-based)湿式エッチングまたは乾式エッチング方法によってパターンニングできる。そして、キャパシタ保護膜344及びブロックキング膜342はアルゴンとCF<sub>4</sub>雰囲気中で反応性イオンエッチング方法を用いてパターンニングできる。コンタクトホール348を形成した後、上部電極メタルコンタクト350を形成する。コンタクトホール348を形成した後、回復熱処理工程(Recovery annealing)を遂行する場合もある。回復熱処理工程は、例えば450℃ないし500℃の間の温度で酸素雰囲気中で遂行できる。図16には

34

示さなかったが、上部電極メタルコンタクト350が形成される時、下部電極メタルコンタクトも一緒に形成される場合もある。

・【0123】図17を参照すると、上部電極メタルコンタクト350を形成した後、パッシベーション工程を進行してパッシベーション膜352を形成する。パッシベーション膜352はシリコン酸化膜、シリコン窒化膜、シリコン酸化窒化膜またはこれらの組合せ膜で形成できる。しかし、パッシベーション膜352はシリコン窒化膜またはシリコン酸化窒化膜で形成することが望ましい。前記パッシベーション膜352の厚さは普通2000Åないし20000Åの間の厚さに形成する。パッシベーション膜352は化学気相蒸着方法、物理的蒸着方法、原子層蒸着方法、スパッタリング方法またはレーザー溶着方法を用いて形成できる。しかし、パッシベーション膜352はPECVD方法を用いて形成することが望ましい。

・【0124】パッシベーション膜352をPECVD方法を用いてシリコン窒化膜として形成する場合には、RFパワーは300ないし600Wで有り得るが、400W程度が望ましい。反応チャンバ内の圧力は1ないし15torrの間で有り得るが、5torr程度であることが望ましい。反応チャンバ内の温度は150℃ないし500℃の間で有り得るが、300℃程度であることが望ましい。反応ガスとして用いられるシランガス(SiH<sub>4</sub>)の供給流量は50ないし500sccmの間で有り得るが、150sccm程度であることが望ましい。反応ガスとして用いられるアンモニア(NH<sub>3</sub>)ガスの供給流量は20ないし200sccmの間で有り得るが、40sccm程度であることが望ましい。

・【0125】パッシベーション膜352をPECVD方法を用いてシリコン酸化窒化膜として形成する場合にはRFパワー、反応チャンバ内の圧力及び反応チャンバ内の温度はパッシベーション膜352をPECVD方法を用いてシリコン窒化膜で形成する場合と実質的に同一である。ただし、反応ガスとして用いられるシランガス(SiH<sub>4</sub>)の供給流量は10ないし200sccmの間で有り得るが、50sccm程度であることが望ましい。反応ガスとして用いられるアンモニア(NH<sub>3</sub>)ガスの供給流量は20ないし500sccmの間で有り得るが、150sccm程度であることが望ましい。反応ガスとして用いられるN<sub>2</sub>Oガスの供給流量は20ないし500sccmの間で有り得るが、150sccm程度であることが望ましい。

・【0126】一方、パッシベーション膜352を形成する過程でも、ILD工程と同様に水素ソースガスがキャパシタCに浸透する場合がある。しかし、キャパシタ保護膜344が水素ソースガスのキャパシタC浸透を遮断するようになる。その結果、パッシベーション工程が進行される過程でもキャパシタCの劣化が防止される。プ



35

ロックキング膜342も程度の差はあるが水素ソースガスのキャパシタC浸透を遮断できることはもちろんである。

・【0127】一方、前記上部電極メタルコンタクト350を形成するためにコンタクトホール348を形成する過程でキャパシタ上部電極340'上に形成されたカプセル化膜E1の一部が除去されるということに対しては既に説明した。したがって、メタルコンタクト形成工程以後に遂行されるパッシベーション工程で水素ソースガスがカプセル化膜E1が除去されたキャパシタ上部電極340'部分に浸透する場合がある。また、パッシベーション膜352自体にも水素ソースガスが封入されているために、パッシベーション工程が終了された以後にも封入された前記水素ソースガスがキャパシタC方向に拡散してキャパシタ誘電膜338'を劣化させる場合もある。したがって、パッシベーション工程における水素浸透によるキャパシタ誘電膜338'の劣化をより完全に防止するためにパッシベーション工程を進行する前に水素浸透防止膜354を選択的に形成できる。前記水素浸透防止膜354は後続パッシベーション膜352形成工程で誘発される水素ソースガスがキャパシタC方向に拡散してキャパシタ誘電膜338'を劣化させることを防止する。

・【0128】前記水素浸透防止膜354は、カプセル化膜E1を構成するキャパシタ保護膜344と実質的に同一な機能を遂行する。したがって、水素浸透防止膜354で形成する物質膜が備えるべき物理的、化学的、結晶学的物性はキャパシタ保護膜344として形成する物質膜と実質的に同一である。前記水素浸透防止膜354は $Al_2O_3$ 、 $TiO_2$ 膜、 $Ta_2O_5$ 膜、 $BaTiO_3$ 膜、 $SrTiO_3$ 膜、 $Bi_4Ti_3O_{12}$ 膜、 $PbTiO_3$ 膜またはこれらの組合せ膜で形成できる。しかし、水素浸透防止膜354は $Al_2O_3$ 膜で形成することが望ましい。前記水素浸透防止膜354は通常的な方法である化学気相蒸着方法、物理的蒸着方法、スパッタリング方法、原子層蒸着方法またはレーザー溶着方法を用いて形成できる。しかし、前記水素浸透防止膜354は、原子層蒸着方法によって形成することが望ましい。原子層蒸着方法によって水素浸透防止膜354を形成する場合に得られる長所は原子層蒸着方法によってキャパシタ保護膜344を形成する場合に得られる長所と実質的に同一である。前記水素浸透防止膜354を原子層蒸着方法によって形成する場合に望ましい工程条件は、キャパシタ保護膜344を原子層蒸着方法で形成する場合に適用できる望ましい工程条件と実質的に同一である。

・【0129】前記水素浸透防止膜354は、50Åないし2000Åの間の厚さに形成できるが、200Åないし300Åの間の厚さに形成することが望ましい。

・【0130】一方、示さなかったが水素浸透防止膜354を形成する前に酸化膜であった緩衝膜を選択的に形成

36

する場合もある。前記緩衝膜は常圧CVD方法またはPECVD方法を用いて形成できる。例えば、前記緩衝膜はオゾン-TEOS膜、PSG膜またはBPSG膜で形成できる。前記緩衝膜をPECVD方法による酸化膜として形成する場合には、前記緩衝膜はPE-TEOS膜またはPE-SiH<sub>4</sub>膜で形成できる。

・【0131】PE-CVD方法を使用するがシランガスまたはTEOSガスを反応ガスで基礎して緩衝膜を形成することが望ましい。緩衝膜をPE-CVD方法を用いてPE-TEOS膜として形成する場合に、RFパワーは100Wないし500Wの間で有り得るが、200Wであることが望ましい。反応チャンバの圧力は1ないし15torrの間で有り得るが、5torrであることが望ましい。反応チャンバの温度は150ないし450℃の間で有り得るが、300℃であることが望ましい。

・【0132】図8及び図17を参照して説明したように、キャパシタCをカプセル化膜E1で包んだ後にILD工程、パッシベーション工程などを進行すると、水素ソースガスによるキャパシタ誘電膜338'の劣化を防止できる。同時に、パッシベーション工程を進行する前に水素浸透防止膜354を追加でさらに形成する場合にはキャパシタCを形成した以後に遂行される半導体メモリ素子の集積過程でキャパシタ誘電膜338'が劣化されることをより完全に防止できるようになる。

・【0133】本発明による半導体メモリ素子製造方法の第2実施例は、導電性プラグ(図9の324参照)をドーピングされたポリシリコンで形成して後続シリサイド化熱処理工程で導電性プラグ(図9の324参照)全体をシリサイド化するという点のみを除外すると、本発明による半導体メモリ素子製造方法の第1実施例と実質的に同一の工程段階が進行される。

・【0134】第2実施例では導電性プラグ(図9の324参照)全体をシリサイド化しなければならないので、シリサイド化熱処理工程でソース物質膜として用いられる高融点金属膜(図9の326参照)を前記第1実施例の場合より厚く形成することが望ましい。したがって、前記高融点金属膜(図9の326参照)は130Å以上の厚さに形成してシリサイド化熱処理工程以後にも高融点金属膜が残留できるようにすることが望ましい。導電性プラグ(図9の324参照)全体をシリサイド化する熱処理工程は第1実施例の場合と実質的に同一の工程条件で進行される。

・【0135】本発明による半導体メモリ素子製造方法の第3実施例では第1実施例の場合とは別に高融点金属のシリサイド膜、例えばコバルトシリサイド膜を上部プラグ(図10の332参照)に形成することでなく、界面膜(図11の334参照)内に形成する。

・【0136】図18を参照すると、第1実施例の場合と実質的に同一の工程段階を進行して第1及び第2層間絶

縁膜 318 及び 320 内に導電性プラグ 324 を形成する。前記導電性プラグ 324 は図 10 に示された下部プラグ 330 と実質的に同一の物質膜で形成できる。例えば、前記導電性プラグ 324 はドーピングされたポリシリコン膜で形成することが望ましい。その後、導電性プラグ 324 及び第 2 層間絶縁膜 320 上に導電膜 356、高融点金属膜 358 及び表面平坦化膜 360 を順次的に形成する。前記導電膜 356 は図 10 に示された下部プラグ 330 と実質的に同一の物質膜で形成できる。例えば、前記導電膜 356 は、ドーピングされたポリシリコン膜で形成するが、3000 Å ないし 10000 Å の間の厚さに形成することが望ましい。前記高融点金属膜 358 は図 9 に示された高融点金属膜 326 と実質的に同一の物質膜で形成できる。例えば、前記高融点金属膜 358 はコバルト膜で形成するが、50 Å ないし 200 Å の間の厚さに形成することが望ましい。前記表面平坦化膜 360 は図 9 に示された表面平坦化膜 328 と実質的に同一の物質膜で形成できる。例えば、前記表面平坦化膜 360 はチタン窒化膜で形成するが、50 Å ないし 150 Å の間の厚さに形成することが望ましい。

・【0137】一方、ドーピングされたポリシリコン膜で導電膜 356 を形成するようになると導電膜 356 上部表面に自然酸化膜が形成される。したがって、高融点金属膜 358 を形成する前に導電膜 356 上に形成された自然酸化膜を除去することが望ましい。前記自然酸化膜を除去する方法は、本発明による半導体メモリ素子製造方法の第 1 実施例を説明して詳細に説明したのでその説明は省略する。

・【0138】図 19 を参照すると、導電膜 356、高融点金属膜 358 及び表面平坦化膜 360 を順次的に形成した後、シリサイド化熱処理工程を遂行して導電膜 356 上部をシリサイド膜 362 に変化させる。前記高融点金属膜 358 をコバルト膜で形成した場合には前記シリサイド化熱処理工程が進行される過程で導電膜 356 の上部がコバルトシリサイド膜に変化ようになる。前記シリサイド化熱処理工程は図 10 に示された上部プラグ 332 を形成する過程で遂行したシリサイド化熱処理工程と実質的に同一に進行される。

・【0139】前記導電性プラグ 356 のシリサイド化熱処理工程以後には未反応高融点金属膜 358 及び未反応表面平坦化膜 360 を除去する。未反応高融点金属膜 358 及び未反応表面平坦化膜 360 を除去する方法は本発明による半導体メモリ素子製造方法に対する第 1 実施例の場合と実質的に同一である。

・【0140】前記のように未反応高融点金属膜 358 及び未反応表面平坦化膜 360 を取り除いた以後には、シリサイド膜 362 上に拡散防止膜（図示せず）を形成する。ところで、拡散防止膜（図示せず）を形成する段階から進行される工程段階は本発明による半導体メモリ素子製造方法の第 1 実施例の場合と実質的に同一であるの

でその説明は省略する。

・【0141】一方、前記では導電性プラグ 324 及び導電膜 356 を別個の工程を進行して形成した。しかし、工程段階の数を減らすために導電性プラグ 324 及び導電膜 356 を一つの工程で形成する場合もある。例えば、ドーピングされたポリシリコンをコンタクトホール 322 及び第 2 層間絶縁膜 320 上に形成した後、第 2 層間絶縁膜 320 の上部表面にドーピングされたポリシリコン膜が所定高さで残留するようにドーピングされたポリシリコンの上部表面を平坦化する。そうすると、導電性プラグ 324 及び導電膜 356 を単一工程で形成できるようになる。

・【0142】本発明による半導体メモリ素子製造方法の第 4 実施例は、拡散防止膜形成段階及び下部導電膜形成段階を省略した点を除外すると第 3 実施例の場合と実質的に同一な工程段階が進行される。換言すれば、本発明による半導体メモリ素子製造方法の第 4 実施例で形成されるシリサイド膜（例えば、コバルトシリサイド膜）は拡散防止膜として用いられるばかりか、キャパシタ下部電極としても用いられる。

・【0143】一方、本発明による半導体メモリ素子製造方法の第 4 実施例ではシリサイド化熱処理工程で形成されるシリサイド膜（例えば、コバルトシリサイド膜）はキャパシタ下部電極で用いられるために、前記シリサイド化熱処理工程でシリコンソースとして用いられる導電膜（図 18 の 356 参照）は十分な厚さに形成することが望ましい。したがって、導電膜（図 18 の 356 参照）は 3000 Å ないし 10000 Å の間の厚さに形成することが望ましい。また、前記シリサイド化熱処理工程を通して形成されるシリサイド膜（図 19 の 362 参照）が 3000 Å ないし 10000 Å の間の厚さに形成されるように前記シリサイド化熱処理工程を進行することが望ましい。

・【0144】本発明による半導体メモリ素子製造方法の第 5 実施例は、下部導電膜を形成する前に導電性プラグ及び第 2 層間絶縁膜上にシリサイド膜と拡散防止膜とを順次的に形成するという点及び前記シリサイド膜は CVD 方法またはスパッタリング方法によって直接形成されるという点を除外すると第 3 実施例と実質的に同一な工程段階によって進行される。前記シリサイド膜は図 10 に示された上部プラグ 332 と実質的に同一の物質膜で形成することが望ましく、50 Å ないし 1000 Å の間の厚さに形成することが望ましい。前記拡散防止膜は図 11 に示された界面膜 334 に含まれた拡散防止膜と実質的に同一の物質膜で形成することが望ましい。

・【0145】図 20 を参照すると、本発明による半導体メモリ素子製造方法の第 6 実施例は、下部プラグ 330 と上部プラグ 332 とで構成される導電性プラグ 324 の形成段階までは第 1 実施例の場合と実質的に同一な工程段階が進行される。

39

・【0146】続いて、導電性プラグ324の上部プラグ332上に界面膜パターン364とキャパシタ下部電極366とを単位セル別に形成する。具体的には、上部プラグ332及び第2層間絶縁膜320上に界面膜及び下部導電膜を順次的に形成する。前記界面膜及び下部導電膜は図11に示された界面膜334及び下部導電膜336と実質的に同一である。その後、フォトエッチング工程を遂行して前記界面膜及び下部導電膜をパターンニングして界面膜パターン364とキャパシタ下部電極366とを形成する。

・【0147】前記のように界面膜パターン364及びキャパシタ下部電極366を形成した以後には半導体基板300の全面に通常的な方法、例えばPECVD方法を用いて第3層間絶縁膜368を形成する。第3層間絶縁膜368として形成できる物質膜の種は第1層間絶縁膜318を形成できる物質膜の種と実質的に同一である。その後、フォトエッチング工程を遂行して第3層間絶縁膜368内にキャパシタ下部電極366の上部表面を露出させる開口370を形成する。そうしてから、前記開口370の側壁に通常的な方法を用いて拡散防止スペーサ372を形成する。前記拡散防止スペーサ372は図15に示されたキャパシタ保護膜342と実質的に同一の物質膜で形成できる。例えば、拡散防止スペーサ372は、ALD- $Al_2O_3$ 膜で形成することが望ましい。拡散防止スペーサ372を形成した後、拡散防止スペーサ372の膜質を安定化してその機能を向上させるために400℃ないし600℃の間の温度及び酸素雰囲気下で熱処理工程を選択的に遂行できる。前記開口370内には通常的な方法、例えばゾルゲル方法を用いてキャパシタ誘電膜374を形成する。前記キャパシタ誘電膜374は図12のキャパシタ誘電膜338'と実質的に同一の物質膜で形成できる。キャパシタ誘電膜374を形成した以後にはキャパシタ誘電膜374の誘電特性を強化するために600℃ないし800℃の間の温度及び酸素雰囲気下で熱処理工程を選択的に遂行できる。前記キャパシタ誘電膜374の上部にはキャパシタ上部電極376を形成する。前記キャパシタ上部電極376は上部導電膜を通常的な方法、例えばスパッタリング方法を用いて半導体基板の全面に形成した後、フォトエッチング工程を遂行して上部導電膜をパターンニングすることにより形成できる。前記上部導電膜を形成できる物質膜の種、厚さ、構成及び形成方法は図11に示された上部導電膜340の場合と実質的に同一である。その後、キャパシタ誘電膜374の上部表面中からキャパシタ上部電極376が形成されていない部分及びキャパシタ上部電極376の表面を直接的に包むカプセル化膜EL'を形成する。前記カプセル化膜EL'は図15に示されたカプセル化膜ELのように多重膜で形成することが望ましい。そして、カプセル化膜EL'は少なくともブロック

40

に形成することが望ましい。ブロックキング膜378とキャパシタ保護膜380とで形成できる物質膜の種、物質膜の厚さ及びその形成方法は図15のブロックキング膜342とキャパシタ保護膜344の場合と実質的に同一である。前記キャパシタブロックキング膜342を形成する前及び／またはキャパシタ保護膜380を形成した後に酸素雰囲気下の熱処理工程を遂行できる。前記熱処理工程は本発明による半導体メモリ素子製造方法の第1実施例と実質的に同一な工程条件下で遂行できる。

10 ・【0148】カプセル化膜EL'を形成した後、ILD工程を遂行して半導体基板300の全面に第4層間絶縁膜382を形成する。第4層間絶縁膜382を形成できる物質膜の種は第1層間絶縁膜318の場合と実質的に同一である。その後、メタル工程を進行して第4層間絶縁膜382を貫通してキャパシタ上部電極376をコンタクトする上部電極メタルコンタクト384を形成する。図示はしないが、この過程で下部電極メタルコンタクトを形成することもできる。その後、半導体基板300の全面にパッシベーション膜386を形成する。前記パッシベーション膜386膜で形成できる物質膜の種、厚さ、構成及び形成方法は図17に示されたパッシベーション膜352の場合と実質的に同一である。

・【0149】本発明による半導体メモリ素子製造方法の第6実施例でもキャパシタ誘電膜374を拡散防止スペーサ372及びカプセル化膜EL'を用いて直接的に包んだ後に後続工程を進行するために、ILD工程、パッシベーション工程等で誘発される水素ソースガスによりキャパシタ誘電膜374が劣化されることを防止できる。

30 ・【0150】一方、本発明による半導体メモリ素子製造方法に対する第6実施例の場合にも前記第1実施例と同様に、パッシベーション工程を進行する前に水素浸透防止膜388を半導体基板300の全面に選択的に形成できる。また、図示はしないが、水素浸透防止膜388を形成する前に半導体基板300の全面に緩衝膜を選択的に形成する場合もある。前記水素浸透防止膜388及び緩衝膜で形成できる物質膜の種、厚さ、構成及び形成方法は前記第1実施例の場合と実質的に同一である。前記のようにパッシベーション工程を遂行する前に緩衝膜及び／または水素浸透防止膜388を形成するようになると、パッシベーション工程で誘発された水素ソースガスが上部電極メタルコンタクト384が形成された部分を通してキャパシタ誘電膜374に拡散することをより完全に遮断できるようになる。

40 ・【0151】本発明による半導体メモリ素子製造方法の第7実施例は、第1及び第2層間絶縁膜318及び320内に形成されたコンタクトホール322内に形成される導電性プラグ324全体を高融点金属のシリサイド膜で形成する。その以後には、前記第6実施例の場合と実質的に同一に工程段階が進行される。第1及び第2層間

50

41

絶縁膜318及び320内に形成されたコンタクトホール322内に高融点金属のシリサイド膜を形成する方法は前記第2実施例で既に説明したので、ここでは省略する。

・【0152】本発明による半導体メモリ素子製造方法の第8実施例は、第1及び第2層間絶縁膜318及び320内に形成されたコンタクトホール322内に単一膜、例えばドーピングされたポリシリコンからなった導電性プラグ324のみを形成するという点、界面膜パターン364は導電膜パターン\シリサイド膜パターン\拡散防止膜パターンが順次的に積層された3中膜パターンになるように形成するという点を除外すると、前記第6実施例の場合と実質的に同一の工程段階が進行される。

・【0153】前記のように界面膜パターン364を3重膜パターンで形成するためにはまず、導電性プラグ324及び第2層間絶縁膜320上に導電膜、シリサイド膜及び拡散防止膜を順次的に形成する。ところで、導電膜、シリサイド膜及び拡散防止膜を順次的に形成する方法は前記第3実施例の場合と実質的に同一である。そして、前記導電膜、シリサイド膜及び拡散防止膜として形成しようとする物質膜の種及び厚さは前記第3実施例の場合と実質的に同一である。

・【0154】本発明による半導体メモリ素子製造方法の第9実施例は、第1及び第2層間絶縁膜318及び320内に形成されたコンタクトホール322内に単一膜、例えばドーピングされたポリシリコン膜で導電性プラグ324を形成する段階までは前記第7実施例の場合と実質的に同一の工程段階を進行する。その後、第4実施例で用いた方法で導電性プラグ324及び第2層間絶縁膜320上にドーピングされたポリシリコン膜とシリサイド膜とを形成する。その後、前記フォトエッチング工程を遂行して前記シリサイド膜及びドーピングされたポリシリコン膜をキャパシタ下部電極366及び界面膜パターン364で各々パターンニングする。キャパシタ下部電極366を形成した以後には、前記第6実施例の場合と実質的に同一の工程段階が進行される。

・【0155】本発明によるメモリ素子製造方法の第10実施例は、第1及び第2層間絶縁膜318及び320内に形成されたコンタクトホール322内に単一膜、例えばドーピングされたポリシリコン膜からなった導電性プラグ324を形成する段階までは前記第7実施例の場合と実質的に同一の工程段階が進行される。その後、導電性プラグ324及び第2層間絶縁膜320上にシリサイド膜と拡散防止膜とを順次的に形成する。その後、フォトエッチング工程を遂行して前記シリサイド膜及び拡散防止膜をパターンニングすることにより界面膜パターン364を形成する。界面膜パターン364を形成した以後には本発明による半導体メモリ素子製造方法の第6実施例の場合と実質的に同一の工程段階が進行される。

・【0156】以下では多重膜からなったカプセル化膜E

42

1でキャパシタCを包むと、ILD工程、パッシベーション工程で生じる水素ソースガスによってキャパシタCが劣化されないということを実験例を通して説明する。このために試片1S<sub>1</sub>を下のような条件で形成した。その後、試片1S<sub>1</sub>のキャパシタに-5ボルトないし5ボルトの間の電圧を印加しながら分極履歴度(Polarization)及びキャパシタの漏れ電流(leakage current)を測定してその結果を図21及び図22に各々示した。

10 ・【0157】試片1S<sub>1</sub>製作過程は次のようである。まず、半導体基板上にキャパシタ工程を進行して強誘電体キャパシタを形成した。キャパシタの面積は $1.44 \times 10^{-6} \text{cm}^2$ であり、キャパシタ誘電膜はPZT膜として厚さは2000Åである。そして、キャパシタの上部電極はIr膜とIrO<sub>2</sub>膜との2重膜であり、その厚さは各々1200Åと300Åとであり、キャパシタ下部電極はPt膜とIrO<sub>2</sub>膜との2重膜であり、各々1500Åと500Åである。

20 ・【0158】そして、カプセル化膜を2重膜で形成した。すなわち、ブロックキング膜はスパッタリング方法を用いてTiO<sub>2</sub>膜を1000Åの厚さに形成した。その後、酸素雰囲気及び450℃で30分間熱処理した。キャパシタ保護膜は原子層蒸着方法を用いてAl<sub>2</sub>O<sub>3</sub>膜を120Åの厚さに形成した。

・【0159】続いて、水素ソースガスを誘発するILD工程を進行してキャパシタが形成された半導体基板の全面に層間絶縁膜を形成した。続いて、上部電極と下部電極との一部を露出させるコンタクトホールを形成した。コンタクトホールを形成しながら生じた損傷を回復するために、酸素雰囲気及び450℃で30分間試片1S<sub>1</sub>を熱処理した。その後、上部電極メタルコンタクト及び下部電極メタルコンタクトを形成した。

30 ・【0160】図21を参照すると、TiO<sub>2</sub>膜/Al<sub>2</sub>O<sub>3</sub>膜で構成されたカプセル化膜を形成してからILD工程を進行したが、残留分極度値が $25 \mu\text{C}/\text{cm}^2$ 程度で元来の値をほとんどそのまま維持していることが分かる。この実験結果はカプセル化膜がキャパシタ誘電膜の劣化を防止したことを示している。

40 ・【0161】図22を参照すると、キャパシタの漏れ電流が約1ボルトないし4ボルトの間で約 $10^{-10}$ アンペアの値を有していることを確認できる。したがって、キャパシタ漏れ電流は半導体メモリ素子の動作電圧内で安定した分布を見せていることが確認できる。すなわち、この実験結果もカプセル化膜がキャパシタ誘電膜の劣化を防止していることを示している。

・【0162】次は、試片2S<sub>2</sub>と試片3S<sub>3</sub>とを追加で製作して試片1S<sub>1</sub>と比較実験をした。比較の便宜のために試片1S<sub>1</sub>のブロックキング膜とキャパシタ保護膜として使用されたTiO<sub>2</sub>膜及びAl<sub>2</sub>O<sub>3</sub>膜を試片1S<sub>1</sub>と同一な方法を用いて試片2S<sub>2</sub>及び試片3S<sub>3</sub>のカプセル

43

化膜として各々形成した。すなわち、試片2 S<sub>2</sub>のカプセル化膜はT i O<sub>2</sub>膜のみをスパッタリング方法を用いて形成して、試片3 S<sub>3</sub>のカプセル化膜はA l<sub>2</sub>O<sub>3</sub>膜のみを原子層蒸着方法を用いて形成した。

・【0163】具体的に、試片2 S<sub>2</sub>と試片3 S<sub>3</sub>とを製造するためにまず、キャパシタ工程を遂行して半導体基板上に試片1 S<sub>1</sub>と同一な条件でキャパシタを形成した。そうしてから、単一膜からなったカプセル化膜を形成した。試片2 S<sub>2</sub>及び試片3 S<sub>3</sub>の単一膜からなったカプセル化膜は次のような条件で形成された。

・【0164】試片2 S<sub>2</sub>はカプセル化膜としてT i O<sub>2</sub>膜をスパッタリング方法を用いて1000 Åの厚さに形成した。その後、カプセル化膜の絶縁特性を強化するために酸素雰囲気及び650℃で30分間熱処理をした。試片1 S<sub>1</sub>のブロックキング膜を形成する時よりは熱処理温度を上昇させた。

・【0165】試片3 S<sub>3</sub>はカプセル化膜としてA l<sub>2</sub>O<sub>3</sub>膜を原子層蒸着方法を用いて120 Åの厚さに形成した。この時、アルミニウムソースガス及び酸素ソースガスはA l (CH<sub>3</sub>)<sub>3</sub>ガス及びH<sub>2</sub>Oガスを各々用いた。そして、カプセル化膜は熱処理しなかった。

・【0166】そうしてから、試片1 S<sub>1</sub>と同様にILD工程、メタル工程を遂行して試片2 S<sub>2</sub>と試片3 S<sub>3</sub>との下部電極及び上部電極にメタルコンタクトを形成した。

・【0167】その後、試片2 S<sub>2</sub>及び試片3 S<sub>3</sub>各々に対して試片1 S<sub>1</sub>と同様に電圧を変化させながら分極度を測定してその結果を図23に示した。図23には試片1 S<sub>1</sub>に対する分極履歴曲線も一緒に示した。

・【0168】一方、試片1 S<sub>1</sub>、試片2 S<sub>2</sub>及び試片3 S<sub>3</sub>から12個のチップダイを選択して、バリアコンタクト抵抗を各々測定してその結果を図24に示した。試片1 S<sub>1</sub>、試片2 S<sub>2</sub>及び試片3 S<sub>3</sub>のバリアコンタクト抵抗は各々S<sub>1</sub>、S<sub>2</sub>及びS<sub>3</sub>で表示した。

・【0169】図23を参照すると、試片2 S<sub>2</sub>の分極履歴曲線の面積は試片1 S<sub>1</sub>の分極履歴曲線の面積より小さいということが確認できる。すなわち、ILD工程で試片2 S<sub>2</sub>のキャパシタ誘電膜の強誘電性は試片1 S<sub>1</sub>より劣化されたことが分かる。そして、試片3 S<sub>3</sub>の残留分極度はほとんど0に近いためにキャパシタ誘電膜の強誘電性が完全に劣化されたことを確認できる。これから次のような結論を下すことができる。

・【0170】一試片2 S<sub>2</sub>のカプセル化膜(T i O<sub>2</sub>膜)はILD工程で水素の拡散を遮断はできるが、試片1 S<sub>1</sub>のようにカプセル化膜を2重膜(T i O<sub>2</sub>/A l<sub>2</sub>O<sub>3</sub>膜)で形成した場合より水素遮断効果は弱い。

・【0171】一試片1 S<sub>1</sub>のブロックキング膜(T i O<sub>2</sub>膜)に対する熱処理温度は試片2 S<sub>2</sub>のカプセル化膜(T i O<sub>2</sub>膜)に対する熱処理温度より低い。したがって、ブロックキング膜に対する絶縁特性が試片2 S<sub>2</sub>のカプセル化膜よりは悪いにもかかわらず試片1 S<sub>1</sub>

44

の水素遮断効果が良いので、水素拡散遮断機能は試片1 S<sub>1</sub>のキャパシタ保護膜が主に遂行する。

・【0172】一試片2 S<sub>2</sub>のように単一膜でカプセル化膜を形成して、600℃以上の熱処理を通してカプセル化膜の絶縁特性を向上させるといっても水素によるキャパシタ劣化問題を完全に解決はできない。

・【0173】一試片3 S<sub>3</sub>のキャパシタの誘電膜(A l<sub>2</sub>O<sub>3</sub>膜)が完全に劣化された理由はカプセル化膜を形成する方法と関連する。すなわち、酸素ソースガスとしてH<sub>2</sub>Oガスを用いたためである。ところで、本発明はブロックキング膜を形成した後キャパシタ保護膜を形成する。したがって、キャパシタ保護膜(A l<sub>2</sub>O<sub>3</sub>)を原子層蒸着方法で形成する時にキャパシタ誘電膜の劣化なく酸素ソースガスとしてH<sub>2</sub>Oガスを用いることができる。

・【0174】図24を参照すると、試片1 S<sub>1</sub>のバリアコンタクト抵抗は試片3 S<sub>3</sub>のバリアコンタクト抵抗よりは小さいということが分かる。そして、試片2 S<sub>2</sub>のバリアコンタクト抵抗は平均1 MΩ以上にバリアコンタクト抵抗が劣化されたことが分かる。図24のグラフから次のような結論を下すことができる。

・【0175】一試片1 S<sub>1</sub>のカプセル化膜中ブロックキング膜を形成する時の熱処理温度は450℃で試片2 S<sub>2</sub>のカプセル化膜を形成する時の熱処理温度である600℃よりは低い。したがって、試片2 S<sub>2</sub>のバリアコンタクト抵抗が増加された理由は高温熱処理工程を遂行してカプセル化膜を熱処理することにより、酸素がコンタクトプラグに拡散したためである。

・【0176】一試片3 S<sub>3</sub>のカプセル化膜は試片2 S<sub>2</sub>のカプセル化膜より酸素の拡散を防止する能力が優秀である。一方、試片1 S<sub>1</sub>のカプセル化膜中キャパシタ保護膜は試片3 S<sub>3</sub>のカプセル化膜と同一な条件で形成された。ところで、酸素拡散遮断能力は試片1 S<sub>1</sub>のカプセル化膜が優秀である。したがって、カプセル化膜を2重膜で形成するとカプセル化膜の酸素遮断能力が向上される。

・【0177】

・【発明の効果】本発明による半導体メモリ素子の一側面によると、キャパシタ誘電膜がキャパシタ形成以後に形成されるILD膜、パッシベーション膜などの内部に封入された水素によって誘電特性が劣化されることを防止できるようになる。また、本発明による半導体メモリ素子の他の側面によると、コバルトシリサイド膜のような低抵抗コンタクト用バリア膜が備わるために半導体メモリ素子の動作速度を向上させることができる。

・【0178】本発明による半導体メモリ素子製造方法の一側面によると、多重膜からなったカプセル化膜でキャパシタを包むことによりキャパシタを水素ソースガスから保護できる。すなわち、キャパシタを形成してから遂行される後続集積工程で誘発される水素ソースガスによ



45

りキャパシタ誘電膜が劣化されることを防止できる。また、本発明による半導体素子製造方法のまた他の側面によると、酸素雰囲気下で遂行される高温熱処理工程で半導体メモリ素子のコンタクト抵抗が上昇することを防止できる。同時に、パッシベーション膜を形成する前に、緩衝膜及び／または水素浸透防止膜を形成すると、パッシベーション工程で誘発された水素によってキャパシタ誘電膜が劣化されることを防止できる。

・【0179】前記では添付した図面を参考にして本発明に対する望ましい実施例を詳細に説明した。しかし、本発明はこれに限らず、本発明の技術的思想の範囲内で当分野で通常の知識でその変形やその改良が可能である。

・【図面の簡単な説明】

・【図1】本発明による半導体メモリ素子の第1実施例を示した断面図である。

・【図2】本発明による半導体メモリ素子の第2実施例を示した断面図である。

・【図3】本発明による半導体メモリ素子に含まれることができる導電性プラグ、界面膜及びキャパシタの構造に対する第1実施例を示した部分断面図である。

・【図4】本発明による半導体メモリ素子に含まれることができる導電性プラグ、界面膜及びキャパシタの構造に対する第2実施例を示した部分断面図である。

・【図5】本発明による半導体メモリ素子に含まれることができる導電性プラグ、界面膜及びキャパシタの構造に対する第3実施例を示した部分断面図である。

・【図6】本発明による半導体メモリ素子に含まれることができる導電性プラグ、界面膜及びキャパシタの構造に対する第4実施例を示した部分断面図である。

・【図7】本発明による半導体メモリ素子に含まれることができる導電性プラグ、界面膜及びキャパシタの構造に対する第5実施例を示した部分断面図である。

・【図8】本発明による半導体メモリ素子製造方法の第1実施例を示した工程断面図である。

・【図9】本発明による半導体メモリ素子製造方法の第1実施例を示した工程断面図である。

・【図10】本発明による半導体メモリ素子製造方法の第1実施例を示した工程断面図である。

・【図11】本発明による半導体メモリ素子製造方法の第1実施例を示した工程断面図である。

46

・【図12】本発明による半導体メモリ素子製造方法の第1実施例を示した工程断面図である。

・【図13】本発明による半導体メモリ素子製造方法の第1実施例を示した工程断面図である。

・【図14】本発明による半導体メモリ素子製造方法の第1実施例を示した工程断面図である。

・【図15】本発明による半導体メモリ素子製造方法の第1実施例を示した工程断面図である。

・【図16】本発明による半導体メモリ素子製造方法の第1実施例を示した工程断面図である。

・【図17】本発明による半導体メモリ素子製造方法の第1実施例を示した工程断面図である。

・【図18】本発明による半導体メモリ素子製造方法の第2実施例を示した工程断面図である。

・【図19】本発明による半導体メモリ素子製造方法の第2実施例を示した工程断面図である。

・【図20】本発明による半導体メモリ素子製造方法の第6実施例を示した工程断面図である。

・【図21】本発明による半導体メモリ素子製造方法を適用して試片1C1を作って、キャパシタ誘電膜の分極履歴曲線及びキャパシタの漏れ電流特性を各々示したグラフである。

・【図22】本発明による半導体メモリ素子製造方法を適用して試片1C1を作って、キャパシタ誘電膜の分極履歴曲線及びキャパシタの漏れ電流特性を各々示したグラフである。

・【図23】本発明による半導体メモリ素子製造方法によって作られた試片1C1と他の方法によって作られた試片2C2及び試片3C3に対して分極履歴曲線及びバリアコンタクト抵抗を各々示したグラフである。

・【図24】本発明による半導体メモリ素子製造方法によって作られた試片1C1と他の方法によって作られた試片2C2及び試片3C3に対して分極履歴曲線及びバリアコンタクト抵抗を各々示したグラフである。

・【符号の説明】

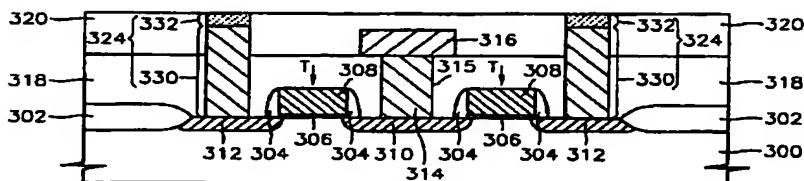
122、366 下部電極

126、340' 下部電極

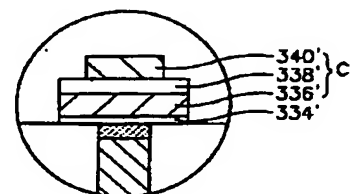
124、124a~124e、338'、374 キャパシタ誘電膜

\*40 キャパシタ C

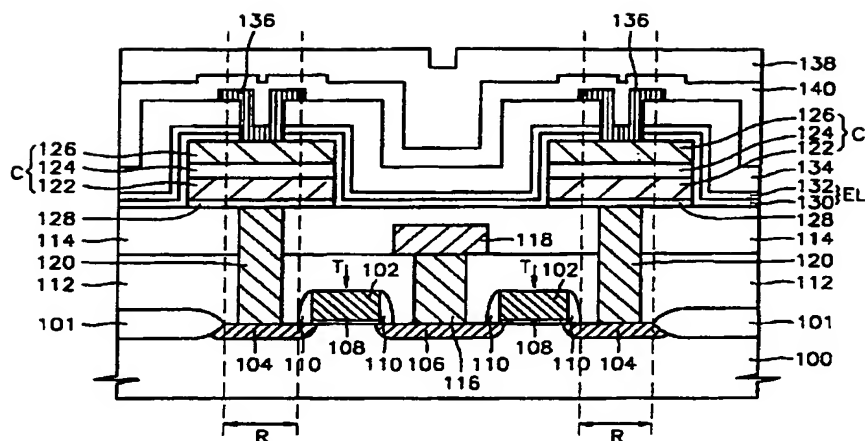
・【図10】



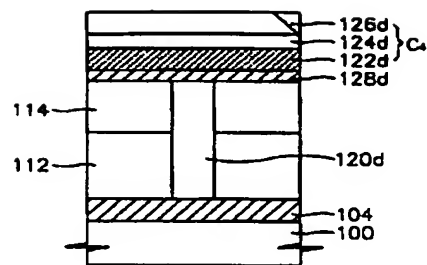
・【図13】



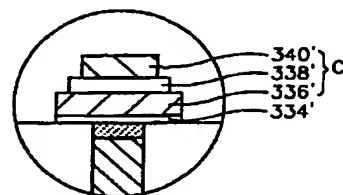
・【図1】



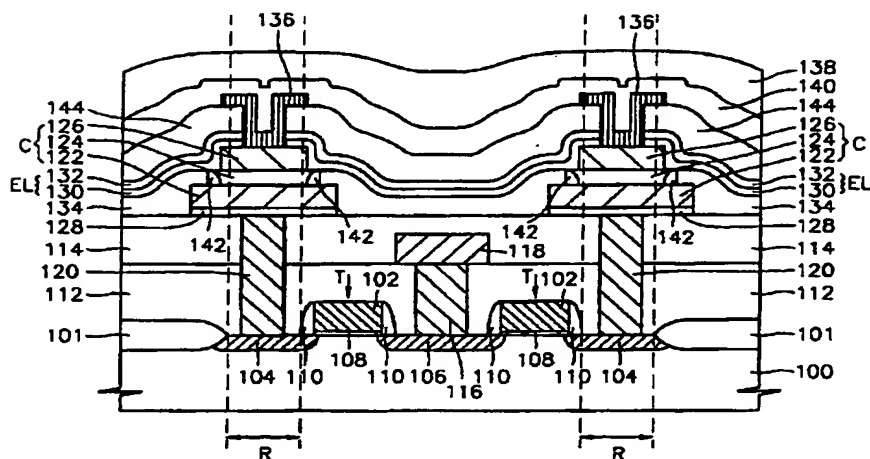
・【図6】



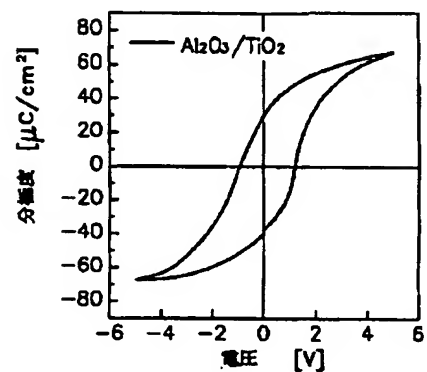
・【図14】



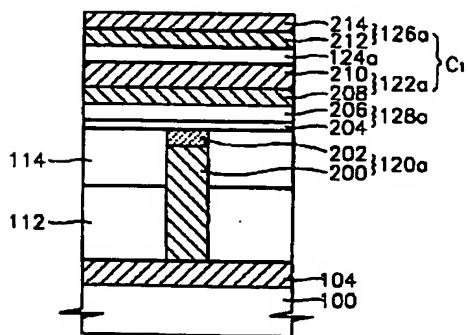
・【図2】



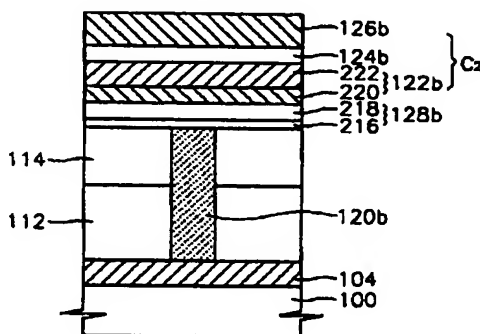
・【図21】



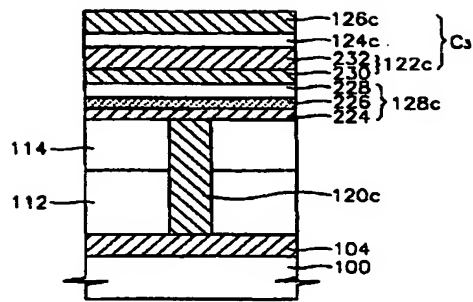
・【図3】



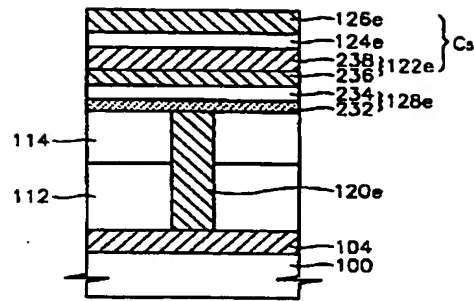
・【図4】



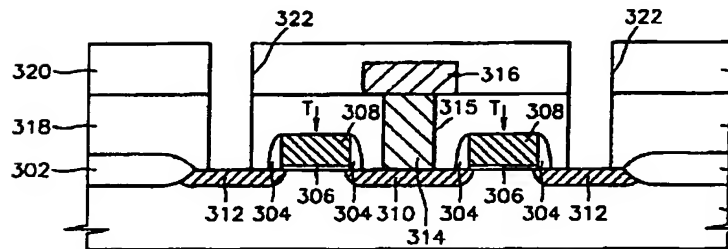
・【図5】



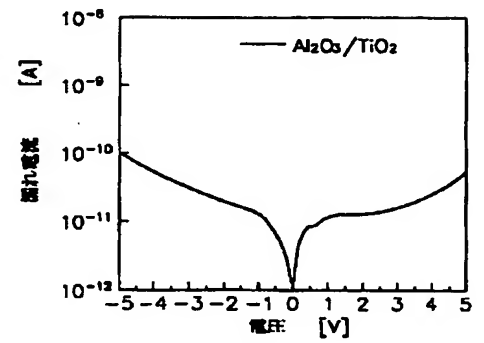
・【図7】



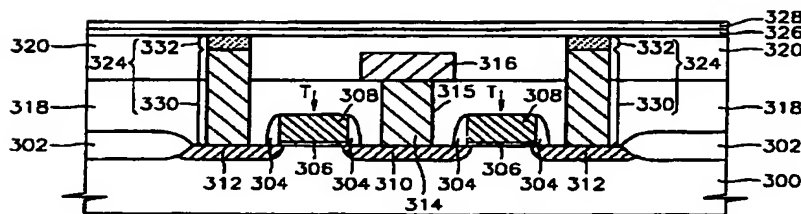
・【図8】



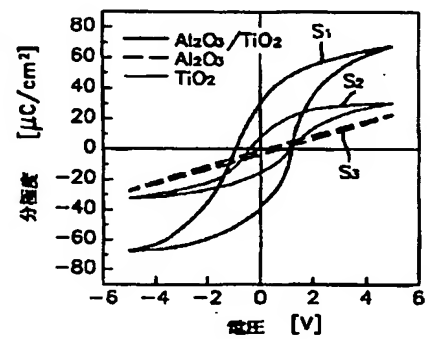
・【図22】



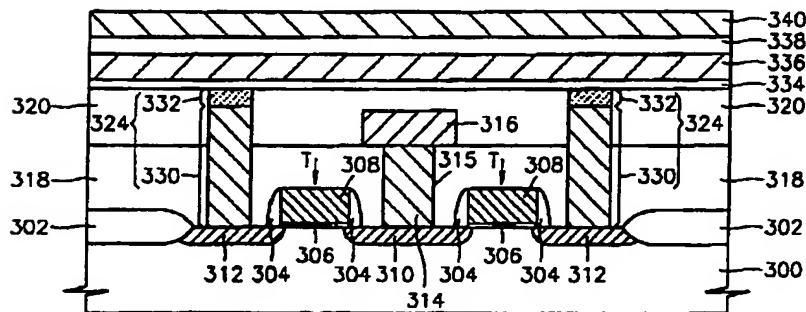
・【図9】



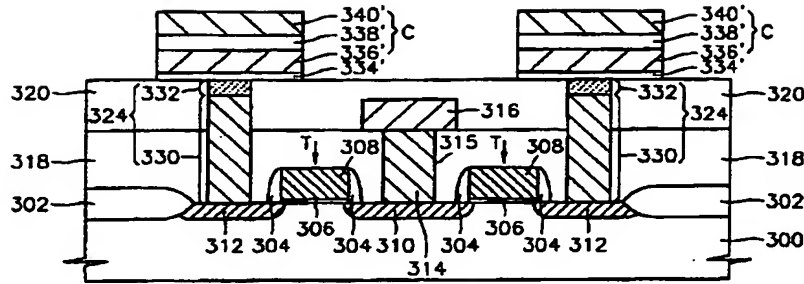
・【図23】



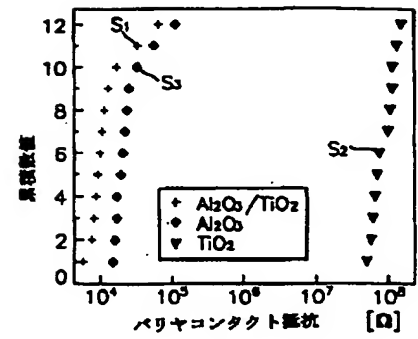
・【図11】



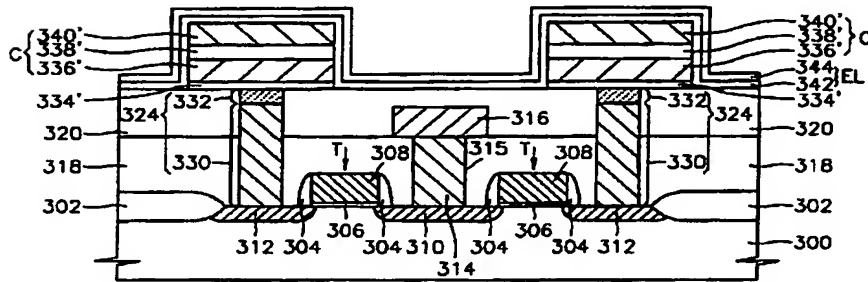
・【図12】



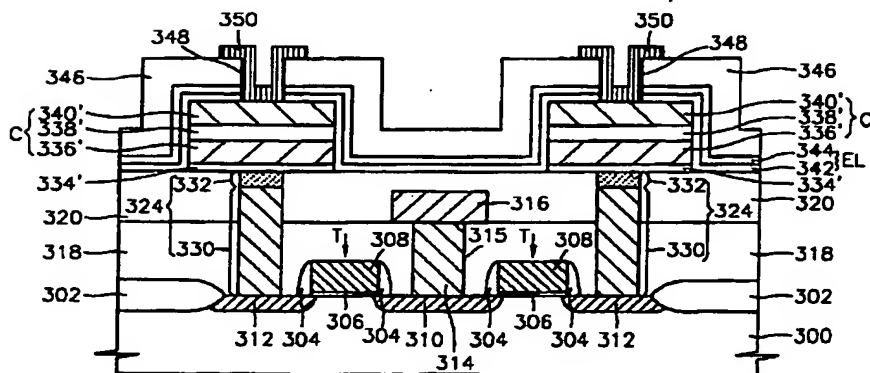
・【図24】



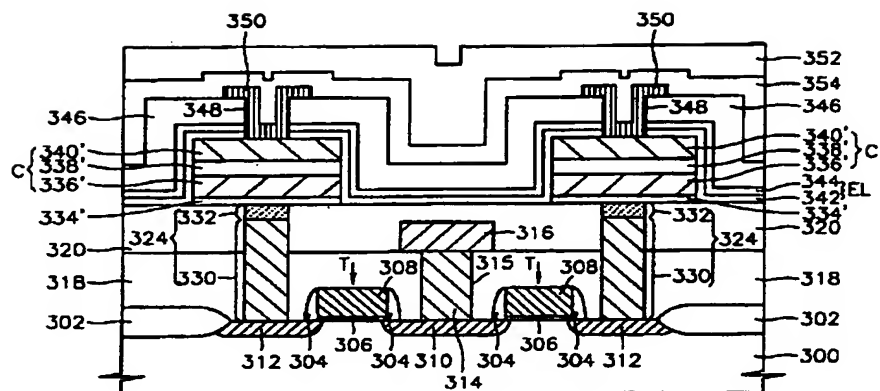
・【図15】



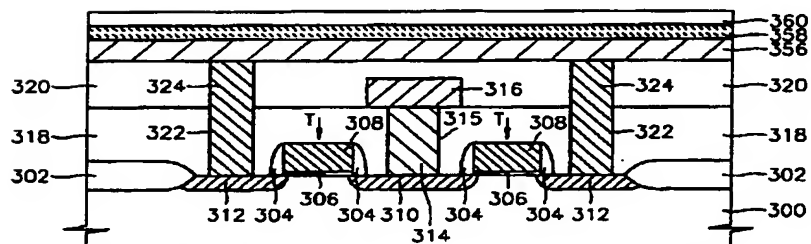
・【図16】



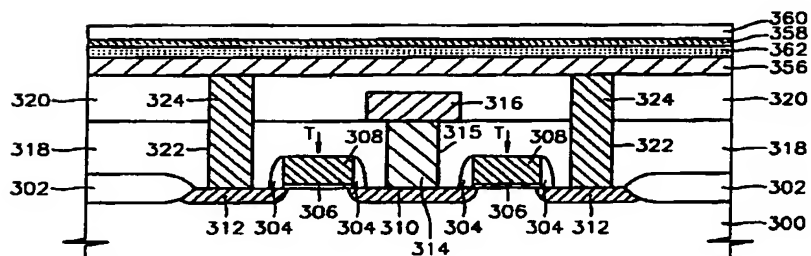
・【図17】



・【図18】

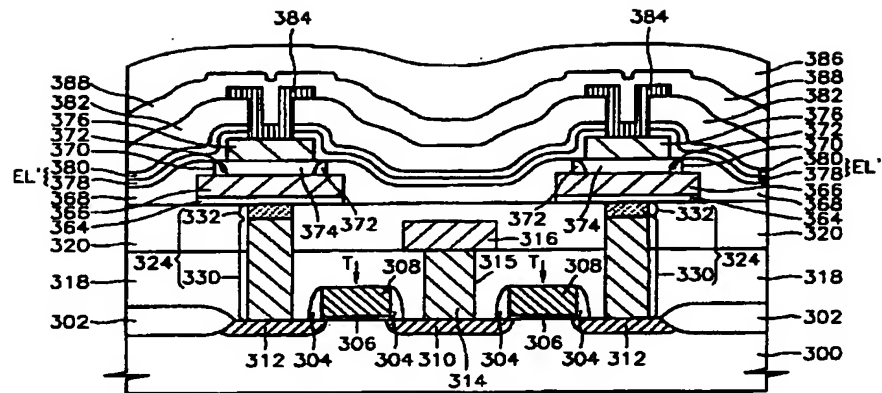


・【図19】





〔図20〕



フロントページの続き

(51) Int. Cl. 7-

識別記号

F I

ターマコード (参考)

・ H 0 1 L 21/8247  
29/788  
29/792

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**